

PERANCANGAN REGISTER DAN MEMORI PADA PROSESSOR RISC 16-BIT DENGAN TEKNOLOGI 600 nm MENGGUNAKAN PERANGKAT LUNAK *ELECTRIC*

Akbar Kurnia Putra^{*)}, Munawar Agus R, and Darjat

Jurusan Teknik Elektro, Universitas Diponegoro Semarang
Jl. Prof. Sudharto, SH, Kampus UNDIP Tembalang, Semarang 50275, Indonesia

^{*)} E-mail : akbar.d.luffy@gmail.com

Abstrak

Array memori adalah blok penting dalam sistem digital. Array memori biasanya diimplementasikan dalam register dan memori utama dalam prosesor. Sebagian besar ruang dalam sebuah sirkuit terpadu adalah memori. Pertimbangan utama desain SRAM adalah meningkat kecepatan dan mengurangi area layout. Proyek ini bertujuan untuk menciptakan SRAM yang efisien dan kompak. Desain menggunakan Electric untuk desain floorplan dan LT-Spice untuk menguji layout. Teknologi 600 nm digunakan dalam proyek ini. Penelitian ini menghasilkan desain 2 array SRAM berbeda diimplementasikan dalam register dan memori utama prosesor RISC 16 bit. Delapan register 16-bit dengan 3 bit alamat memiliki kecepatan clock 167 MHz dan luas area 1.170 x 2.350,5, atau 247.507,65 μm^2 . Sedangkan enam puluh empat memori 16-bit dengan 6 bit alamat memiliki kecepatan clock 100MHz dan luas area 4.731,5 x 1.312,5 lamda, atau 558.908,4375 μm^2 .

Kata kunci : SRAM 12T, Register, Memori

Abstract

Memory arrays are essential building block in any digital system. Memory arrays are usually implemented in a register and main memory in a processor. The majority of space taken in an integrated circuit is the memory. Key considerations of SRAM design are increased speed and reduced layout area. This project aims to create an efficient and compact SRAM. Design uses Electric for floorplan design and LT-Spice for test the layout. 600 nm technology was used in this project. This research produced design of 2 different SRAM arrays implemented in a register and main memory of RISC 16 bit processor. The eight 16-bit registers with 3 bit addresses have 167MHz clock speed and 1.170 x 2.350,5 lamda, or 247.507,65 μm^2 area. While the sixty four 16-bit memorys with 6 bit addresses have 100MHz clock speed and 4.731,5 x 1.312,5 lamda, or 558.908,4375 μm^2 large area.

Keywords : SRAM 12T, Register, Memori

1. Pendahuluan

Teknologi IC adalah salah satu bidang paling penting dalam dunia elektronik karena dengan teknologi ini dapat meminimalkan luas area dari rangkaian elektronik, efek parasitik dan biaya. Salah satu penerapan teknologi IC ini ada pada prosesor. Semua proses komputasi seperti pengontrolan dan perhitungan dari divais tersebut dilakukan oleh sebuah prosesor. Untuk itu, didalam prosesor terdapat beberapa blok utama seperti Arithmetic Logic Unit (ALU), register, memori, dan unit kontrol untuk mendukung kerja dari prosesor. Salah satu penelitian tentang perancangan prosesor pernah dilakukan oleh John Enyeart dengan judul "8-bit MIPS Prosesor", namun 8-bit prosesor ini hanya memiliki lebar bus data 8-bit sehingga banyak data yang dapat diakses adalah

FF8[1]. Selain itu, prosesor ini hanya mampu melakukan 10 instruksi, yaitu penjumlahan, pengurangan, AND, OR, SLT, penjumlahan immediate, branch, jump, load dan store data[1]. Oleh karena itu, pada Tugas Akhir ini dilakukan perancangan Register dan Memori pada prosesor RISC 16-bit yang memiliki 3 bit alamat pada Register dan 6 bit alamat pada Memori. Dengan lebar data 16-bit, jumlah data yang dapat diakses lebih banyak, yaitu sebesar FFFF8.

Register adalah unit penyimpanan utama dari prosesor yang menjadi tempat menyimpan data untuk diproses pada ALU. Dan Memori sebagai penyimpanan data kedua.

Oleh karena itu, dalam Tugas Akhir ini akan dilakukan perancangan Register dan Memori 16-bit. Perancangan ini

menggunakan teknologi fabrikasi 600 nm dari model C5[2] MOSIS yang memiliki 3 metal teknologi CMOS, dan tegangan sumber sebesar 5 V[2]. Software *Electric*[3] digunakan untuk membuat desain layout, dan software LT-spice[4] untuk menguji fungsional dan delay dari hasil ekstraksi desain layout yang dibuat.

2. Metode

2.1 Mobilitas Pembawa

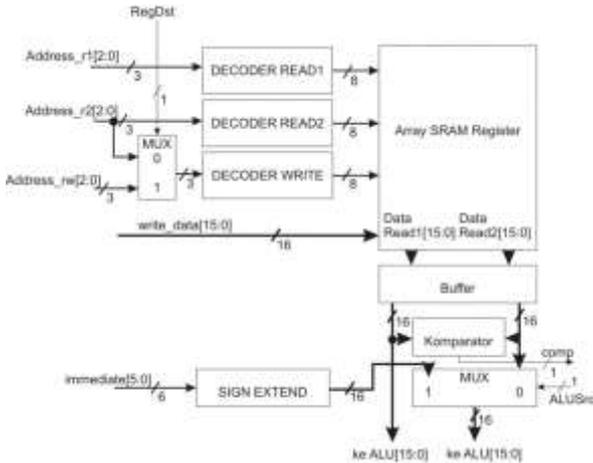
Mobilitas dapat diartikan sebagai pergerakan dari pembawa (elektron dan hole). Mobilitas ini memiliki nilai yang proporsional konstan diantara medan listrik (V/cm) yang diberikan dengan kecepatan pembawa(cm/sec). Sebagai contoh nilai intrinsik (silikon murni) dari mobilitas elektron dan hole pada temperatur ruangan adalah :

$$\mu_n = 1350\text{cm}^2/\text{V}\cdot\text{s}, \text{ (electrons)} \quad \mu_p = 480\text{cm}^2/\text{V}\cdot\text{s} \text{ (holes)}$$

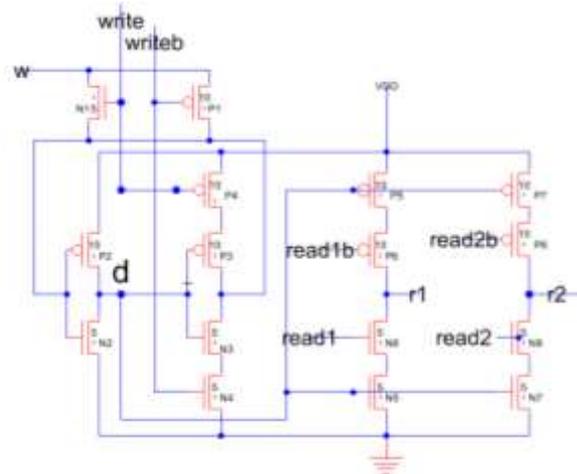
Untuk mendapatkan perbandingan ukuran pMOS dan nMOS yang tepat digunakan rasio mobilitas pembawa seperti dibawah. Hal ini perlu dipertimbangan dalam metode desain agar aliran arus pada keduanya seimbang [8]

$$\frac{\mu_n}{\mu_p} \approx 2.5$$

2.2 Register



Gambar 1 Diagram blok Register



Gambar 2 Skema 1 bit Register

Register yang digunakan pada desain ini memiliki 3 address, sehingga terdiri dari 8 blok tempat penyimpanan, yaitu R0-R7. Memiliki 2 jalur output data dan memiliki komponen tambahan, yaitu komparator dan 2 buah MUX. Terdapat 2 decoder Read dan 1 decoder Write.

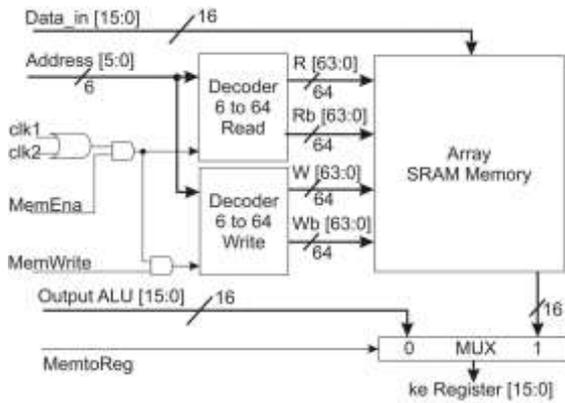
Array Register terdiri dari R0-R7, R1 hingga R7 memiliki skema transistor seperti gambar 5 yang tersusun 16 ke bawah dan 7 kesamping. Sedangkan R0 adalah blok data yang permanen berisi 0000 0000 0000 0000.

Pada pembacaan, diperlukan clock2 berlogika high. Clock 2 adalah clock yang memiliki periode 2 kali lebih besar dibanding clock 1 yang digunakan pada operasi write. Sedangkan operasi write aktif saat clock 1 berlogika high dan enable write juga aktif.

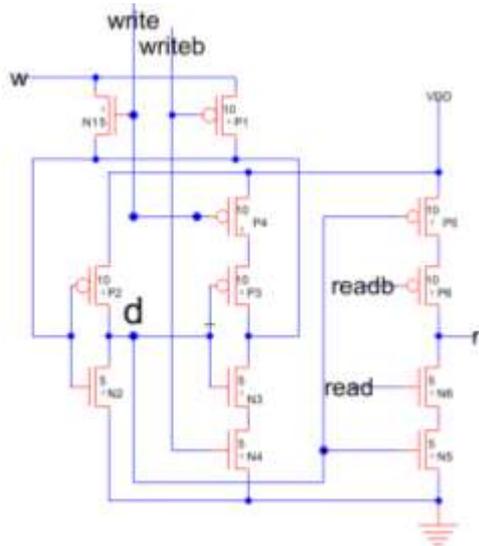
Blok komparator digunakan untuk membandingkan isi data pada output Read1 dan Read2, output komparator berlogika high jika data sama. Sinyal ini dikirimkan ke periperhal untuk instruksi BEQ.

Sign Extend digunakan untuk memproses data immediate sebelum diproses dalam ALU. Data immadiate dipilih ketika ALUSrc berlogika 1.

2.3 Memori



Gambar 3 Diagram blok Memori



Gambar 4 Skema 1 bit Memori

Memori digunakan untuk penyimpanan data seperti register. Hanya saja memori lebih jarang diakses. Memori didesain dengan 2 decoder, yaitu untuk operasi read dan write. Array dipilih dengan menggunakan 6 bit address, sehingga terdapat 64 blok, yaitu M0-M63, dan semua blok tersebut dapat digunakan.

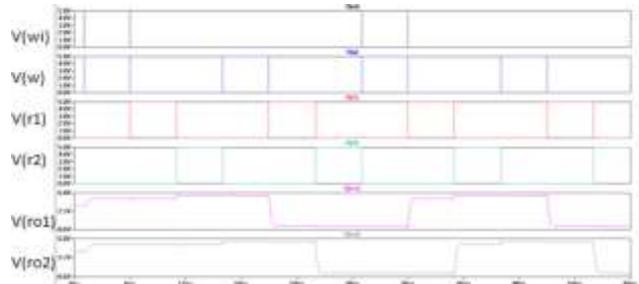
Setiap 1 bit memori menggunakan skema yang ada pada Gambar 8 berikut ini:

Tidak seperti Register yang memiliki blok pendukung lainnya, Memori hanya memiliki 1 buah blok lain, yaitu MUX yang digunakan untuk memilih data dari ALU atau Memori untuk dituliskan ke Register.

3. Hasil dan Analisa

3.1 SRAM 14 T

Pengukuran dilakukan pada LTSpice. Gambar 9 menggambarkan hasil simulasi dari SRAM 14 T:



Gambar 5 hasil simulasi SRAM 14T

Berdasarkan gambar 5, dapat dituliskan tabel 1 dan 2 dibawah ini:

Tabel 1 Pengujian Fungsional SRAM 14 T

Node	Sinyal (logika)							
Data	1	0	0	0	0	0	1	0
Write	1	0	0	1	0	0	1	0
Read1	0	1	0	0	1	0	0	1
Read2	0	0	1	0	0	1	0	0
ro1	1	1	1	1	0	0	0	1
ro2	1	1	1	1	1	0	0	0
Time	1	2	3	4	5	6	7	8

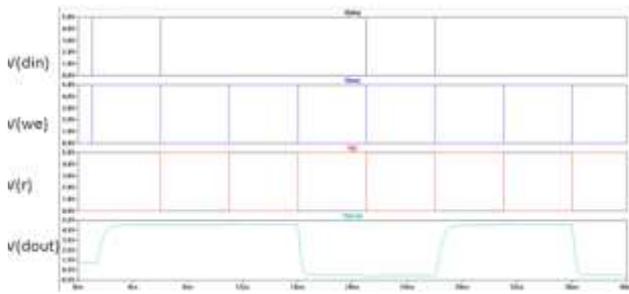
Tabel 2 Hasil simulasi SRAM 14T

SRAM Register						
Area	10296 lamda ² = 926,64 μm ²					
Jumlah pMOS	9	W/L	10/2 lamda = 3/0.6 μm			
Transistor nMOS	9	W/L	5/2 lamda = 1.5/0.6 μm			
Analisa Timing (ns)						
No	Node	t _{pdr}	t _{pdf}	t _{pd}	t _r	t _f
1.	ro1	0.219	0.265	0.242	0.332	0.394
2.	ro2	0.230	0.250	0.240	0.312	0.382

Berdasarkan tabel 1 dan 2, diketahui setiap bit dalam register memiliki luas total 926,64 μm² dan memiliki delay propagation ≈0.25 ns. Sehingga dapat diketahui jika 1 bit sel ini dapat diberikan input dengan frekuensi 4 GHz. Kecepatan ini dapat berkurang sesuai dengan delay yang dihasilkan rangkaian driver-nya dan beban fan out.

3.2 SRAM 12 T

Pengukuran dilakukan pada LTSpice. Gambar 10 menggambarkan hasil simulasi dari SRAM 12 T:



Gambar 6 Hasil simulasi SRAM 12T

Tabel 3 Pengujian Fungsional SRAM 12T

Node	Sinyal (logika)							
Data	1	0	0	0	1	0	0	0
Write	1	0	1	0	1	0	1	0
Read1	0	1	0	1	0	1	0	1
Dataout	1	1	1	0	0	1	1	0
Time	1	2	3	4	5	6	7	8

Tabel 4 Hasil simulasi SRAM Memory

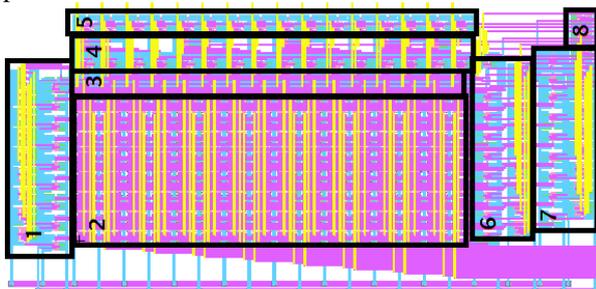
SRAM Memory						
Area	4832 lamda ² = 434,83 μm ²					
Jumlah	pMOS	6	W/L	10/2 lamda = 3/0.6 μm		
Transistor	nMOS	6	W/L	5/2 lamda = 1.5/0.6 μm		
Analisa Timing (ns)						
No	Node	t _{pdr}	t _{pdf}	t _{pd}	t _r	t _f
1.	dout	0.379	0.190	0.284	0.508	0.235

Berdasarkan tabel 1 dan 2, diketahui setiap bit dalam register memiliki luas total 434,83 μm² dan memiliki delay propagation = 0.284 ns. Sehingga dapat diketahui jika 1 bit sel ini dapat diberikan input dengan frekuensi 3.5 GHz. Kecepatan ini dapat berkurang sesuai dengan delay yang dihasilkan rangkaian driver-nya dan beban fan out.

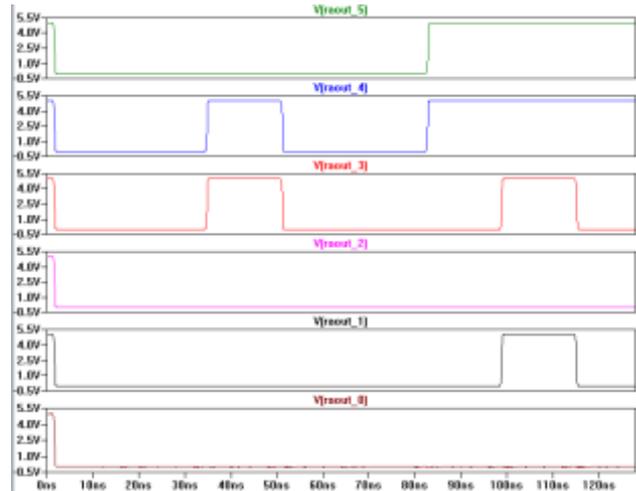
3.3 Register

Berdasarkan indeks pada gambar 7, register tersusun dari: (1) Decoder Read2, (2) Array SRAM (3) Buffer, (4) Komparator, (5) MUX 16 bit, (6) Decoder Read1, (7) Decoder Write, dan (8) MUX 3 bit.

Pengujian register dilakukan dengan 2 operasi, yaitu write dan read1. Delay pada pengujian diukur pada output dari operasi read1.



Gambar 7 Layout Register



Gambar 8 Hasil simulasi Register

Berdasarkan gambar 8, data keluaran pada jalur A terlihat sudah sesuai instruksi yang diberikan. (instruksi dan sinyal lain terlampir).

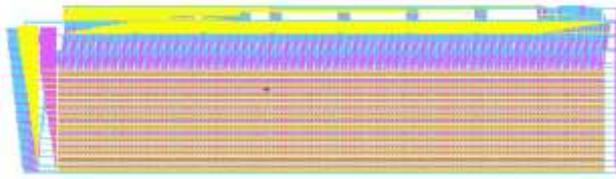
Delay kecepatan akses dari register dihitung dari kemampuan decoder-nya. Berikut ini analisa delay decoder.

Tabel 5 Analisa delay decoder

No	Node	Delay				
		t _{pdr}	t _{pdf}	t _{pd}	t _r	t _f
1	r10	0.249	0.127	0.188	0.229	0.124
2	r17	0.376	0.206	0.291	0.463	0.101
3	r1b1	0.292	0.414	0.353	0.057	0.124
4	r1b7	0.287	0.424	0.3555	0.078	0.125
5	r20	0.3	0.164	0.232	0.289	0.167
6	r27	0.396	0.214	0.305	0.515	0.111
7	r2b1	0.313	0.462	0.3875	0.089	0.142
8	r2b7	0.304	0.363	0.3335	0.075	0.146
9	w1	0.686	0.602	0.644	0.435	0.271
10	w7	0.682	0.386	0.534	0.355	0.208
11	wb1	0.724	0.787	0.7555	0.092	0.125
12	wb7	0.501	0.732	0.6165	0.100	0.076

Berdasarkan gambar 12, diketahui kecepatan akses register adalah sekitar 1ns, akan tetapi delay diatas hanya sampai sinyal enable mencapai SRAM, sedangkan untuk mencapai output valid pada read data1 terlihat pada gambar 12 yaitu 2.5ns

3.4 Memori



Gambar 9 Layout Memori

Pengujian memori dilakukan dengan 2 operasi, yaitu write, read. Delay pada pengujian diukur pada output operasi read.

Seperti yang telah dibahas pada perancangan, memori menggunakan decoder 6 to 64. Dan setiap operasi read atau write harus bergantian. Pengukuran delay dilakukan pada layout dengan 3 vektor SRAM untuk mempercepat pengambilan data. Gambar 14 menunjukkan hasil simulasi dari salah 1 sel dalam memori:

4. Kesimpulan

Penyimpanan data pada SRAM menggunakan 1 buah gerbang NOT dan tristate NOT. Proses write memerlukan input enable write berlogika 1 agar data dapat masuk ke sel SRAM melalui transmision gate. Proses read memerlukan 1 buah tristate NOT dengan input invert data yang tersimpan dalam SRAM. Waktu yang diperlukan untuk setiap 1 sel SRAM register pada operasi write dan read adalah 242 ps. Logika 1 pada sinyal enable read dan write selama 242 ps dapat diatur pada Control Unit untuk memaksimalkan kinerja SRAM. SRAM dialamatkan oleh decoder. Delay pada decoder menentukan kemampuan clocking sebuah register atau memori. Semakin lebar gate transistor pada decoder, semakin cepat waktu yang diperlukan decoder untuk mengakses array SRAM. Register dengan 3 bit address mampu bekerja pada clock 167 MHz dengan area sebesar $1.170 \times 2.350,5$ lambda, atau $247.507,65 \mu\text{m}^2$ pada teknologi 600 nm telah berhasil dibuat. Memori dengan 6 bit address dengan clock 100 MHz dapat dibuat dengan area sebesar $4.731,5 \times 1.312,5$ lambda, atau $558,908,4375 \mu\text{m}^2$ pada teknologi 600 nm telah berhasil dibuat. Clock yang lebih cepat dapat diperoleh dengan memperkecil teknologi pemrosesan, misalkan 150 nm atau 90 nm. Jumlah transistor pada memori dapat dikurangi menjadi 6 transistor untuk meningkatkan efisiensi area, tapi delay memori bertambah lama.

Referensi

- [1] R. M. Enyeart.John, Mohammed AL-Karawi, "8-bit MIPS Processor," Senior Design Report, UNLV, 2014.
- [2] MOSIS, "C5 Model (Spice Model)." MOSIS, 2009. [Online]. Available: <http://www.onsemi.com/PowerSolutions/content.do?id=16693>. [Accessed: 20-Dec-2014].
- [3] Steven M. Rubin, "Electric (software)." 2014. [Online]. Available: <http://cmosedu.com/cmos1/electric/electric.htm>. [Accessed: 12-Dec-2014].
- [4] M. Engelhardt, "LTspice (software)." Linear Technology, 2014.
- [5] Neil H. E. Weste and D. M. Harris, CMOS VLSI Design: A Circuits and Systems Perspective, 4th ed., vol. 2. New York: Addison-Wesley Reading, MA, 2011.
- [6] H. Enoch, "Digital logic and microprocessor design with VHDL," La Sierra Univ. Riverside, 2006.
- [7] "Hervey Mudd Collage Standard Cell Library." [Online]. Available: <http://www.staticfreesoft.com/contrib/muddLib07.jelib.gz> [Accessed: 20-Dec-2014].
- [8] A. P. Paplinski, "MOS Transistor," Monash University, 2002. [Online]. Available: <http://www.csse.monash.edu.au/courseware/cse3142/2006/Lnts/C02.pdf>. [Accessed: 01-Apr-2015].
- [9] R. J. Baker, CMOS: circuit design, layout, and simulation, vol. 18. John Wiley & Sons, 2011.
- [10] J. Tocci, "Ronald, Digital System, Principles Application." Prentice Hall, USA, 1994.
- [11] W. N. HE, Cmos Vlsi Design: A Circuits And Systems Perspective, 3/E. Pearson Education India, 2006.
- [12] J. E. Ayers, Digital integrated circuits: analysis and design. CRC Press, Inc., 2009.
- [13] K.Dhanumjaya, D. M. G. Prasad, Dr. K. Padmaraju, and D. M. R. Reddy, "Design of Low Power SRAM in 45 nm CMOS Technology," Int. J. Eng. Res. Appl., vol. 1, no. 4, pp. 2040–2045, 2011.
- [14] G. M. Sreerama Reddy and P. C. Reddy, "Design and implementation of 8K-bits low power SRAM in 180nm technology," in Proceedings of the International Multi Conference of Engineers and Compute Scientists, 2009, vol. 2.
- [15] S. H. Sagar Joshi, "Design and Analysis for Low power CMOS Sram cell in 90nm technology using cadence tool," Int. J. Adv. Res. Comput. Commun. Eng., vol. 2, no. 4, pp. 1814–1817, 2013.