

# PERANCANGAN MODULATOR DEMODULATOR BPSK DENGAN *CARRIER RECOVERY METODE SQUARING LOOP*

Hafidz Erwin Kurniawan<sup>\*)</sup>, Sukiswo, and Yuli Christyono

Jurusan Teknik Elektro, Universitas Diponegoro Semarang  
Jl. Prof. Sudharto, SH, Kampus UNDIP Tembalang, Semarang 50275, Indonesia

<sup>\*)E-mail : hafidzek@gmail.com</sup>

## Abstrak

Komunikasi berkembang dengan sangat pesat belakangan ini akibat dari kebutuhan manusia akan informasi yang semakin tinggi. Teknik modulasi menjadi perhatian utama dalam rangka pengembangan sistem komunikasi digital, salah satu diantaranya adalah teknik modulasi Phase Shift Keying (PSK). Mekanisme deteksi koheren dicapai dengan penggunaan rangkaian carrier recovery pada bagian penerima. Perancangan carrier recovery atau pemulihan sinyal pembawa dilakukan dengan menggunakan metode squaring loop. Metode ini akan memulihkan frekuensi dan fasa sinyal pembawa dengan cara mengkuadratkan dan mengkalikan empat sinyal modulasi BPSK. Setelah didapatkan sinyal dengan frekuensi  $4f_c$  kemudian sinyal tersebut dimasukkan ke dalam rangkaian phase lock loop (PLL). Keluaran PLL harus dihubungkan ke rangkaian pembagi empat yang bertujuan untuk mendapatkan kembali sinyal dengan frekuensi  $f_c$  dan kemudian diberi komponen low pass untuk mendapatkan sinyal sinus. Berdasarkan pengujian sistem, pada bagian pemulihan sinyal pembawa sinyal hasil dari pengkuadrat dan pengkali empat telah berhasil menghasilkan sinyal dengan frekuensi  $2f_c$  dan  $4f_c$ . Namun masih belum sempurna dalam menghilangkan pengaruh modulasi, sehingga mempengaruhi keluaran dari demodulator saat melakukan pembacaan sinyal informasi dimana masih terdapat bit eror dengan rata-rata selama pengujian sebesar 0,5 bit dan terdapat kesalahan berupa penambahan bit pada setiap runtun bit informasi yang berulang setiap delapan bit. Kesalahan tersebut dikarenakan karena pembangkitan gelombang pembawa yang tidak sempurna dan proses pembalikan fasa yang hanya menghasilkan beda fasa antar gelombang cosinus dan -cosinus sebesar  $162^\circ$ .

*Kata kunci: Modulator, Demodulator, PLL, Carrier Recovery, Squaring Loop, Low Pass Filter*

## Abstract

Communication develops rapidly in recent years as a result of the human needs of information which is getting higher. Modulation techniques became a major concern in order to the system development digital communications, one of them is technique modulation Phase Shift Keying (PSK). The mechanism detection coherent was achieved by the use of the carrier recovery circuit on the receiver. The design of carrier recovery is done by using the method of squaring loop. This method will restore the frequency and the carrier signal phase by squaring and multiplying four signal BPSK modulations. After obtained signal by frequency  $4f_c$  then signal has inserted into a circuit Phase Lock Loop (PLL). The PLL output should be connected to the four divider circuit in aim to regain signal by frequency  $f_c$  and then was given the low pass filter to get a sinusoidal waveform. Based on the result of testing systems, signals as the result of four squaring and multiplying have been success in producing a signal by frequency  $2f_c$  and  $4f_c$ . But it was not perfect in remove the effect of modulation, so it affected the output from demodulator when performing the signal recognition of information where there are still bits error with an average for testing 0.5 bits and there are mistakes in the form of the addition bits at every sequential bits of the information that recurs every eight bits. The error because of the imperfect generation of the carrier wave and the phase reversal process that yields only different phase intercosinus waves and -cosinus of  $162^\circ$ .

*Keywords: Modulator, Demodulator, PLL, Carrier Recovery, Squaring Loop, Low Pass Filter*

## 1. Pendahuluan

Komunikasi merupakan cara untuk mengirimkan informasi dari pengirim ke penerima. Dalam proses komunikasi terdapat 2 komponen utama yaitu modulator yang berfungsi sebagai pemancar sinyal informasi dan

demodulator yang berfungsi sebagai penerima. Teknik-teknik modulasi digital terus menerus mengalami perkembangan ke arah yang lebih praktis dan efisien, seperti modulasi PSK yang menggunakan teknik *Binary Phase Shift Keying* (BPSK) dimana modulasi BPSK dapat mengkodekan satu bit per untuk tiap simbol.

Pada proses demodulasi dibutuhkan rangkaian *carrier recovery* yang berfungsi memulihkan sinyal gelombang pembawa yang mempunyai frekuensi dan fasa yang sama dengan sinyal gelombang pembawa aslinya. Rangkaian ini mendeteksi sinyal secara koheren sehingga diharapkan mampu membangkitkan sinyal gelombang pembawa yang mempunyai frekuensi dan fasa yang sama dengan sinyal gelombang pembawa pada modulator. Pada tugas akhir ini metode *carrier recovery* yang akan dipakai adalah metode *squaring loop*.

Penelitian tentang perancangan modul BPSK yang telah dilakukan sebelumnya yaitu berjudul “Perancangan Perangkat Keras Sistem Modulasi Digital Binary Phase Shift Keying” yang dilakukan oleh Arief Munandar. Namun untuk bagian *carrier recovery* tidak dimasukkan dalam bagian dari penelitian itu, sehingga pada penelitian ini akan dilakukan penelitian lanjutan mengenai sistem modulasi BPSK terutama pada bagian *carrier recovery* dan pembangkitan sinyal informasi serta pembangkitan sinyal pembawa.

## 2. Metode

### 2.1 Modulasi PSK

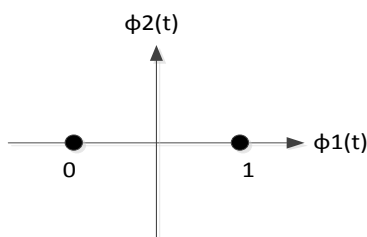
Modulasi dapat diartikan sebagai sebuah proses pengaturan parameter yang berupa amplitudo, frekuensi atau fasa dari sinyal pembawa atau kombinasi dari ketiganya, parameter-parameter ini diatur sesuai dengan informasi yang dipancarkan.<sup>[1]</sup> Penguncian geser fasa (*phase shift keying*) merupakan teknik modulasi digital dengan amplitudo tetap dan merupakan salah satu bentuk modulasi sudut. Bentuk umum analisa sinyal PSK adalah sebagai berikut<sup>[2]</sup>:

$$S_i(t) = \sqrt{\frac{2E}{T}} \cos[w_c t + \phi_i(t)] \quad 0 \leq t \leq T \quad ; i=1, \dots, M(1)$$

dimana E adalah energi per-simbol, T adalah selang waktu. Untuk  $\phi_i(t)$  akan memiliki nilai diskrit yang secara khusus diberikan oleh :

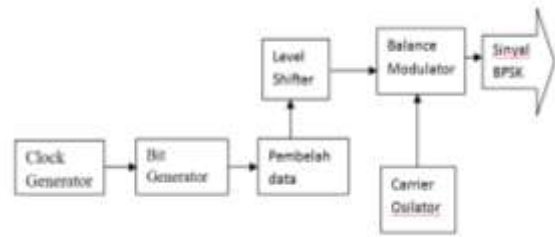
$$\phi_i = \frac{2\pi i}{M} \quad i=1, \dots, M(2)$$

Sebagai contoh pada sistem modulasi Binary Phase Shift Keying (BPSK), sinyal hasil modulasi yang menyatakan sinyal biner “1” dan “0”, mempunyai beda fasa 180° seperti ditunjukkan pada gambar 1.



Gambar 1 Diagram Konstelasi BPSK

### 2.2 Perancangan Perangkat Keras Modulator



Gambar 2 Diagram perancangan modulator

Alur kerja modulator BPSK berdasarkan gambar di atas adalah sebagai berikut :

- Sinyal data acak dibangkitkan dari sebuah clock generator.
- Sinyal data dibagi menggunakan pembelah data untuk didapatkan sinyal informasi yang akan menjadi masukan BPSK.
- Sinyal informasi memodulasi sinyal pembawa (sinyal sinus) menjadi sinyal modulasi BPSK dengan persamaan 2.3 dan persamaan 2.4.

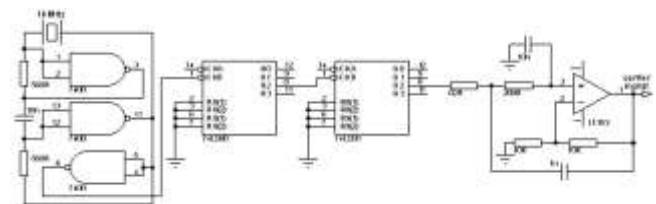
$$S_1(t) = \sqrt{\frac{2E}{T}} \cos[w_c t] \quad 0 \leq t \leq T(3) \quad S_2(t) =$$

$$\sqrt{\frac{2E}{T}} \cos[w_c t + \pi]$$

$$= \sqrt{\frac{2E}{T}} \cos[w_c t + \pi] \quad 0 \leq t \leq T(4)$$

#### 2.2.1 Pembangkit Gelombang Pembawa

Osilator kristal yang digunakan rangkaian pada gambar 3 akan menghasilkan frekuensi sebesar 16 MHz, sehingga diperlukan 2 buah IC 74LS90 yang masing-masing berfungsi sebagai pembagi 5 untuk mendapatkan frekuensi pembawa sebesar 640 KHz. Sinyal keluaran dari IC 7490 berbentuk sinyal kotak, sehingga untuk mengubah bentuk sinyal kotak menjadi sinyal sinus maka sinyal keluaran dari IC 7490 dimasukkan ke rangkaian *low pass filter* orde 2 pembentuk sinyal sinus.

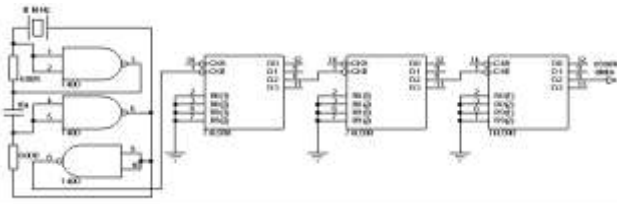


Gambar 3 Rangkaian pembangkit sinyal pembawa

#### 2.2.2 Rangkaian Pembangkit Detak

Pada perancangan kristal yang digunakan akan menghasilkan frekuensi sebesar 8 MHz, sehingga diperlukan tiga buah IC 74LS90 yang masing-masing

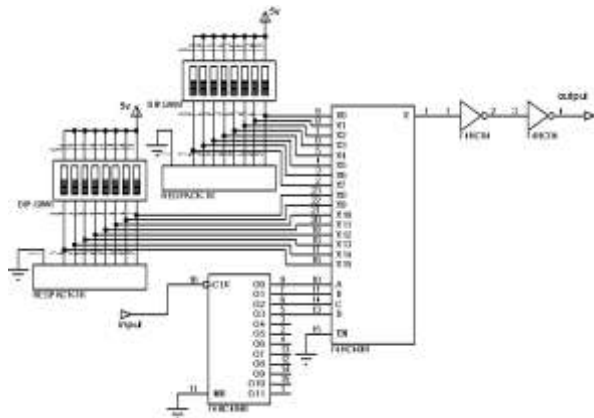
berfungsi sebagai pembagi lima untuk mendapatkan frekuensi detak 64 KHz.



Gambar 4 Rangkaian pembangkit detak

### 2.2.3 Pembangkit Data Acak

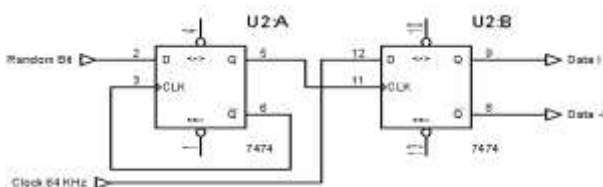
Pembangkit data acak ini akan menghasilkan deret biner yang memiliki pola dan akan berulang pada periode tertentu. Untuk membuat pembangkit bit acak digunakan IC 4040, IC 4067 dan saklar.



Gambar 5 Rangkaian pembangkit data biner berpola

### 2.2.4 Rangkaian Pembelah Data

Rangkaian ini digunakan untuk membagi dua sinyal informasi menjadi data I (*Inphase*) dan data Q (*Quadrature*). Dalam skema modulasi BPSK ini hanya diambil data I (*Inphase*) saja yang akan digunakan sebagai data informasi BPSK. Untuk realisasi rangkaian ini menggunakan IC flip-flop 74LS74.

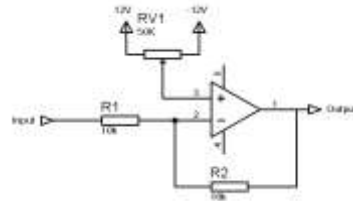


Gambar 6 Rangkaian pembelah data

### 2.2.5 Rangkaian Penggeser Tingkat

Rangkaian ini bertujuan untuk mengubah nilai level sinyal. Perubahan nilai level sinyal ini bertujuan untuk

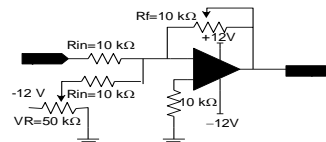
merubah jenis sinyal *Unipolar* menjadi sinyal *Bipolar*. Komponen variable resistor 50K berfungsi untuk mengatur level atau tingkat tegangan sinyal, sedangkan variable resistor 10K berfungsi untuk mengatur besar penguatan yang dilakukan oleh Op-Amp.



Gambar 7 Rangkaian Penggeser Level

### 2.2.6 Rangkaian Inverting

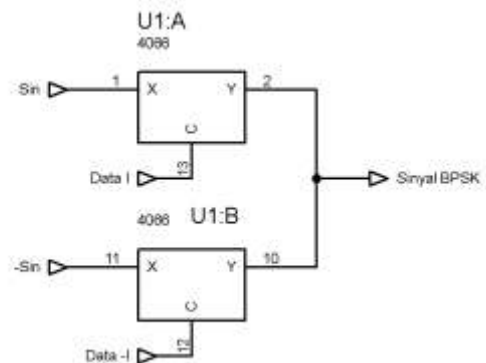
Rangkaian ini berfungsi untuk membalikkan fasa sinyal pembawa sinus dan cosinus keluaran dari rangkaian penggeser fasa serta menaikkan level tegangannya sehingga dapat dilewatkan pada saklar bilateral.



Gambar 8 Rangkaian pembalik fasa.

### 2.2.7 Saklar Bilateral

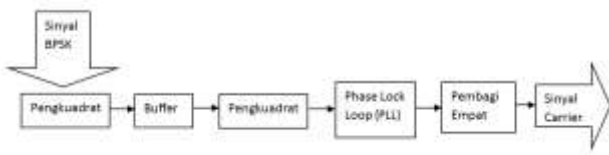
Rangkaian saklar bilateral berfungsi sebagai *mixer* yang mencampurkan sinyal pembawa dengan sinyal informasi. Rangkaian saklar bilateral ini menggunakan IC 4066 yang memiliki empat saklar mandiri dalam sebuah IC.



Gambar 9 Rangkaian Saklar Analog

## 2.3 Perancangan Perangkat Keras Carrier Recovery

Metode yang paling banyak digunakan untuk pemulihan sinyal pembawa adalah *squaring loop*.



Gambar 10 Diagram blok carrier recovery

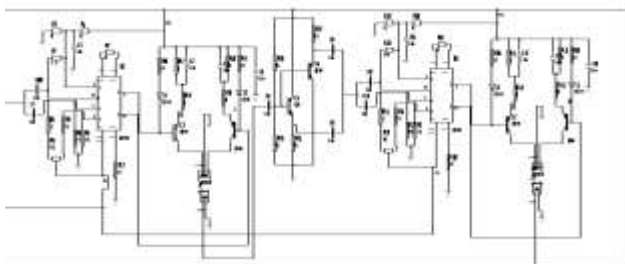
Pada sinyal BPSK terdapat dua keluaran fasa yang mungkin :  $A \sin \omega_c t$ , dan  $-A \sin \omega_c t$ . Secara matematis, operasi pemangkat empat adalah sebagai berikut :

Untuk sinyal  $A \sin \omega_c t$ , keluaran pengkuadrat pertama dari pemangkat empat adalah:  
 keluaran =  $(\pm A \sin \omega_c t)^2$   
 $= A^2 \sin^2(\omega_c t)$   
 $= \frac{1}{2} A^2 (1 - \cos 2\omega_c t)$   
 $= \frac{1}{2} A^2 - \frac{1}{2} A^2 \cos 2\omega_c t$  (5)

Dapat dilihat bahwa keluaran dari pengkuadrat pertama, sinyal yang dengan dua kali frekuensi pembawa  $\frac{1}{2} A^2 - \frac{1}{2} A^2 \cos 2\omega_c t$  dari pengkuadrat pertama ini juga terdapat komponen dc. Kemudian sinyal tersebut diberi *low pass filter* untuk menghilangkan komponen dc, maka didapatkan persamaan  $\cos 2\omega_c t$

2.3.1 Rangkaian Pengali Empat

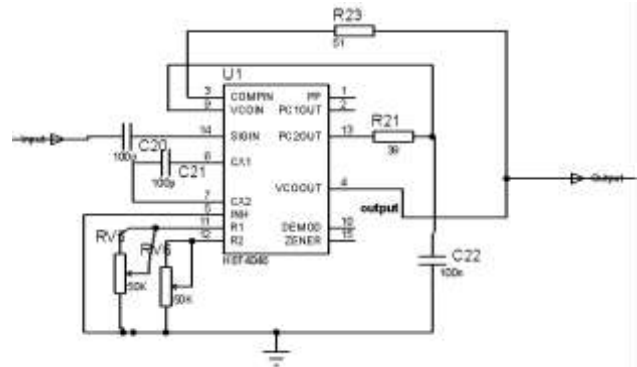
Pada perancangan, ini menggunakan IC Balance Modulator MC1496 sebagai pengali sinyal antara dua frekuensi. MC 1496 akan berfungsi sebagai penguadrat frekuensi (frequency doubler) ketika suatu sinyal yang sama dimasukkan pada kedua port masukannya (pin 1 dan 10).



Gambar 11 Rangkaian pengali empat carrier recovery

2.3.2 Phase Locked Loop

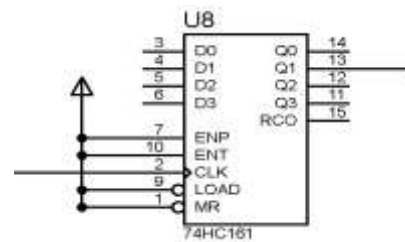
PLL digunakan untuk mengunci fasa dan frekuensi dari suatu sinyal masukan. PLL untuk blok carrier recovery ini menggunakan IC 74HC4046. Di dalam PLL ini terdapat rangkaian VCO dan pembanding fasa. Rangkaian filter berada di luar IC.



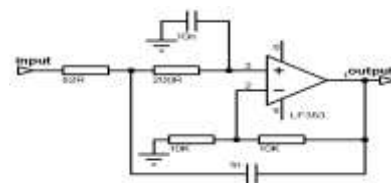
Gambar 12 Rangkaian PLL

2.3.3 Pembagi Empat dan LPF Pembentuk Sinus

Untuk mendapatkan kembali sinyal dengan frekuensi  $f_c$  setelah dipangkatkan empat sinyal harus dilewatkan rangkaian pembagi empat yang menggunakan IC 74HC161 dan dibentuk sinus menggunakan *low pass filter*.

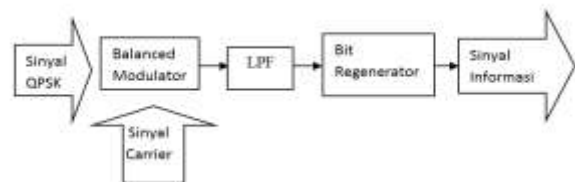


Gambar 13 Rangkaian pembagi empat.



Gambar 14 Rangkaian LPF Pembentuk Sinus

2.3 Perancangan Demodulator



Gambar 15 Diagram blok demodulator BPSK

Terdapat dua kemungkinan sinyal BPSK yang masuk ke balans demodulator. Yaitu sinyal BPSK  $\sin \omega_c t$  dan  $-\sin \omega_c t$ , maka pada balans demodulator sinyal tersebut

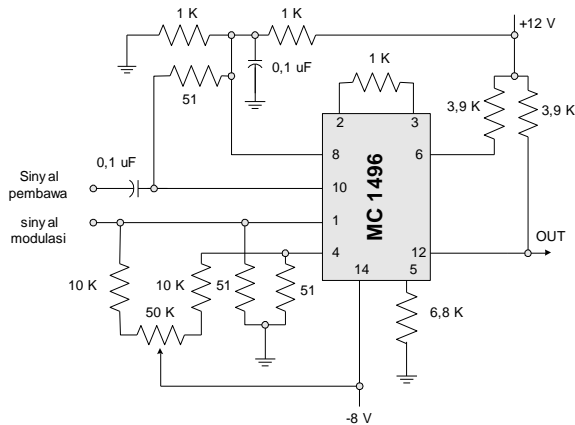
akan dikalikan dengan sinyal pembawa  $\sin \omega_c t$ . Keluaran dari balans demodulator adalah:

$$\begin{aligned} \text{Logika 1} &= (\cos \omega_c t) \cdot \cos \omega_c t \\ &= \cos^2 \omega_c t \\ &= \frac{1}{2} (1 + \cos 2\omega_c t) \\ &= \frac{1}{2} - \frac{1}{2} \cos 2\omega_c t \\ &= \frac{1}{2} \text{ V dc (logika 1)} \end{aligned} \quad (6)$$

$$\begin{aligned} \text{Logika 0} &= (-\cos \omega_c t) \cdot \cos \omega_c t \\ &= -\cos^2 \omega_c t \\ &= \frac{1}{2} (-1 + \cos 2\omega_c t) \\ &= -\frac{1}{2} + \frac{1}{2} \cos 2\omega_c t \\ &= -\frac{1}{2} \text{ V dc (logika 0)} \end{aligned} \quad (7)$$

### 2.3.1 Balanced Demodulator

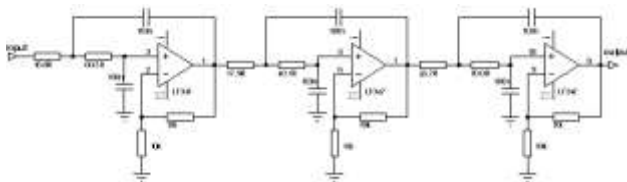
Rangkaian ini dapat direalisasikan dengan menggunakan IC Balance Modulator MC 1496 seperti ditunjukkan pada Gambar 3.20 yang diperoleh dari data aplikasi IC 1496.<sup>[15]</sup>



Gambar 16 Rangkaian pengali sinyal.

### 2.3.2 Low Pass Filter (LPF)

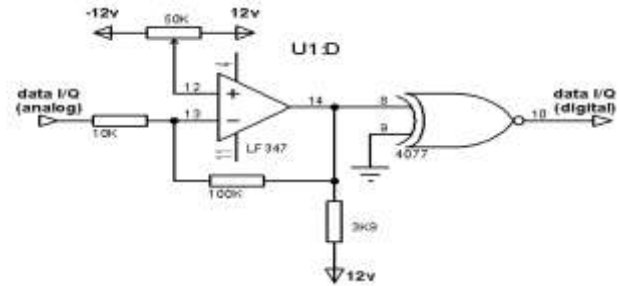
LPF ini menggunakan metode Bessel dengan 6 orde. Alasan penggunaan filter Bessel orde 6 adalah agar distorsi dan noise dari sinyal dapat ditekan sekecil mungkin, sehingga bisa didapatkan sinyal informasi.



Gambar 17 Rangkaian LPF metode Bessel orde 6

### 2.3.3 Bit Regenerator

Rangkaian bit regenerator berfungsi untuk mendapatkan kembali sinyal informasi yang berupa bit-bit digital.



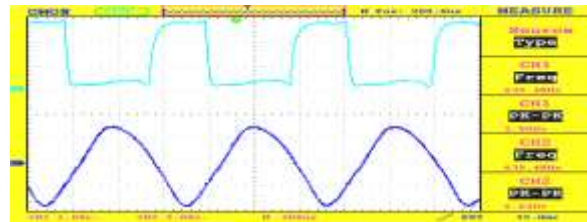
Gambar 18 Rangkaian bit regenerator

## 3. Hasil dan Analisa

### 3.1 Pengujian Modulator

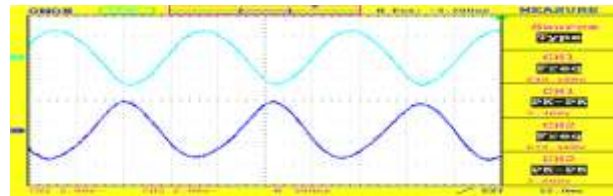
#### 3.1.1 Pengukuran dan Pengamatan Pembangkitan Sinyal Pembawa dan Pembalik Fasa

Pada tugas akhir ini sinyal pembawa yang ingin dihasilkan adalah sebesar 640 KHz. Sinyal ini dibentuk oleh sinyal detak 640 KHz yang berbentuk sinyal kotak dan kemudian diberi low pass filter pembentuk sinusoida.

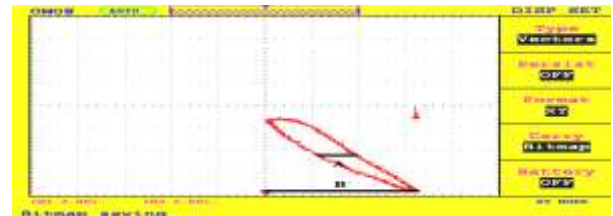


Gambar 19 Keluaran clock 640 KHz dan carrier 640 kHz

Setelah itu sinyal sinus diberi rangkaian pembalik fasa agar dapat menghasilkan sinyal  $-\cos$ .



Gambar 20 Keluaran carrier cos dan  $-\cos$



Gambar 21 Pola Lissajous carrier sinus dan  $-\sinus$ .

Perbedaan fasa antara sinyal pada Chanel 1 dan Chanel 2 dihitung menggunakan rumus berikut:

$$\theta = \arcsin \frac{A}{B}$$

$$\theta = \arcsin \frac{1}{3,1}$$

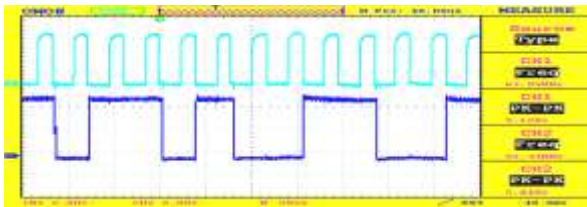
$$\theta = \arcsin(0,32)$$

$$\theta = 162^\circ$$

Berdasarkan perhitungan diatas dapat dilihat bahwa terdapat perbedaan fasa antara sinyal cos dan  $-\cos$  sebesar  $162^\circ$ .

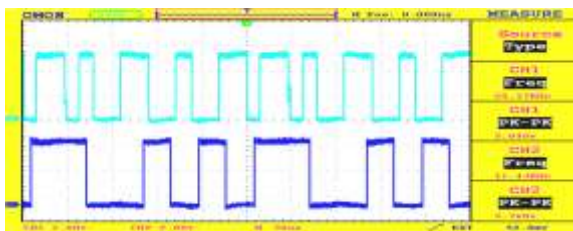
### 3.1.2 Data Acak dan Rangkaian Konverter Serial ke Paralel

Detak yang akan digunakan untuk membangkitkan sinyal informasi acak pada tugas akhir ini adalah sebesar 64 KHz.



Gambar 22 Keluaran detak dan data acak serial

Detak yang dihasilkan sebesar 64 KHz yang memiliki bit rate 32 Kbps menjadi masukan dari rangkaian pembangkit data acak. kemudian gerbang output IC 4040 yang dipakai adalah  $Q_0, Q_1, Q_2,$  dan  $Q_3$  maka deret bit acak yang akan dihasilkan mempunyai frekuensi sebesar 32KHz dan dengan perulangan setiap 16 bit sehingga akan menghasilkan bit rate sebesar 1 Kbps.

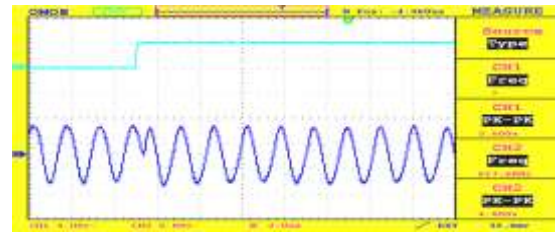


Gambar 23 Data serial dan sinyal informasi.

Data acak tersebut masih harus dimasukkan ke dalam rangkaian pembelah data untuk mendapatkan data informasi yang nantinya akan menjadi masukan untuk rangkaian *mixer*.

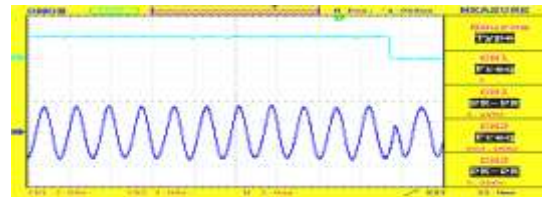
### 3.1.3 Pengamatan Keluaran Modulator BPSK

Sinyal BPSK dihasilkan dari komponen sinyal BPSK untuk logika masukan 0 dan sinyal BPSK untuk logika masukan 1.



Gambar 24 Sinyal modulasi BPSK logika 1

Saat data informasi modulator BPSK akan mengeluarkan sinyal  $\cos(\omega_c t)$ .



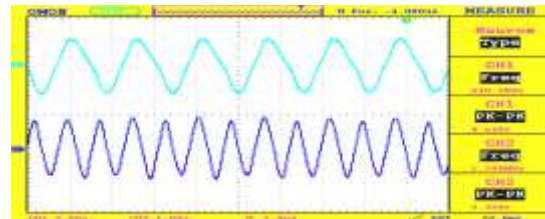
Gambar 25 Sinyal modulasi BPSK logika 0

Saat data informasi 0, maka modulator BPSK akan mengeluarkan sinyal  $\cos(\omega_c t + 162^\circ)$ .

## 3.2 Pengujian Carrier Recovery

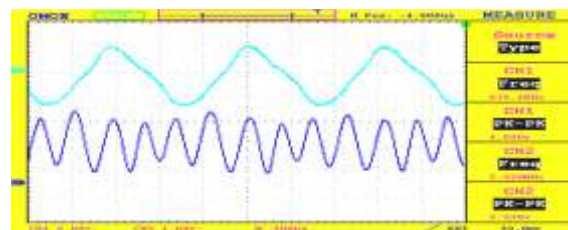
### 3.2.1 Rangkaian Pengkali Empat

Rangkaian pemangkat empat yang dirancang terdiri dari dua buah rangkaian pemangkat dua yang disusun seri.



Gambar 26 Sinyal hasil pemangkatan dua.

Gambar 4.10 menunjukkan sinyal BPSK dan sinyal hasil pemangkatan dengan frekuensi sebesar  $2f_c$ , atau 1,28 MHz .



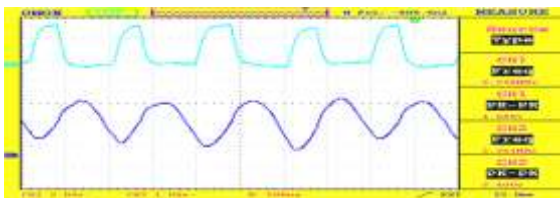
Gambar 27 Sinyal Pengkali empat

Pada sinyal hasil pengkali empat ini telah memiliki frekuensi sebesar  $4f_c$ , atau 2,56 Mhz. Ternyata dalam

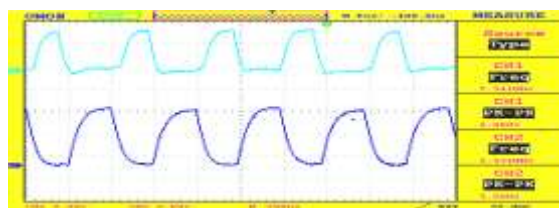
proses pemulihan sinyal carrier masih belum didapatkan sinyal hasil pengkalian empat yang sudah tidak terpengaruh oleh sinyal modulasi. Sehingga sinyal  $4f_c$  tersebut memiliki frekuensi yang tidak stabil dan fasa yang berubah-ubah pada saat tertentu sesuai dengan pergantian logika antara 0 dan 1. Hal tersebut dapat diakibatkan karena pembentukan sinyal pembawa sinus yang tidak sempurna, dimana sinyal pembawa sinus dibentuk dari sinyal kotak yang pada saat dibentuk menggunakan *low pass filter* pembentuk sinus masih meloloskan frekuensi-frekuensi harmonisa yang tidak diinginkan. Sehingga frekuensi-frekuensi harmonisa yang tidak diinginkan masih terbawa saat proses modulasi yang membuat proses pembalikan fasa menjadi tidak sempurna, terlihat pada gambar 27. Karena berdasarkan perhitungan pada rumus, perbedaan fasa diantara kedua sinyal pembawa harus tepat  $180^\circ$  agar pengaruh sinyal modulasi dapat dihilangkan dalam proses pengkuadratan sinyal BPSK.

### 3.2.2 Pengamatan Sinyal Keluaran PLL

Sebelum sinus  $4f_c$  diumpankan ke rangkaian PLL, maka harus dilewatkan rangkaian schmitt trigger terlebih dahulu. Hal tersebut dikarenakan PLL memiliki keterbasan dalam membaca kemiringan atau deviasi antara tepi naik (*rising edge*) dan tepi turun (*falling edge*) dari sinyal sinus  $4f_c$ .



Gambar 28 Keluaran pengkali empat dan scmitt trigger.

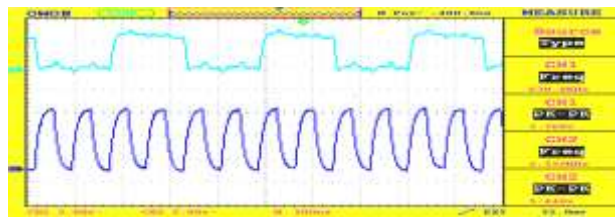


Gambar 29 Keluaran schmitt trigger dan PLL.

PLL dapat mengeluarkan sinyal yang fasa dan frekuensinya terkunci. Keluaran PLL berbentuk sinyal kotak yang memiliki frekuensi 2,55 Mhz.

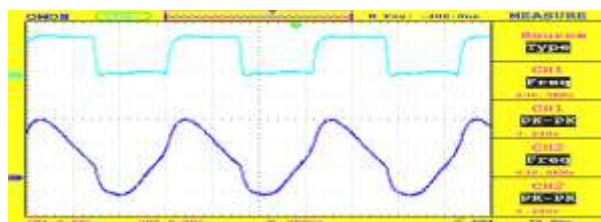
### 3.2.3 Pengamatan Rangkaian Pembagi Empat dan Penggeser Fasa

Untuk mendapatkan sinyal dengan frekuensi  $f_c$ , maka detak keluaran PLL harus dibagi empat.



Gambar 30 Sinyal keluaran PLL dan pembagi empat.

Sinyal kedua adalah sinyal keluaran PLL yang mempunyai frekuensi  $4f_c$  dengan fasa terkunci. Selanjutnya pada sinyal pertama ditampilkan sinyal pembagi empat yang mana merupakan sinyal persegi dengan frekuensi  $f_c$ .



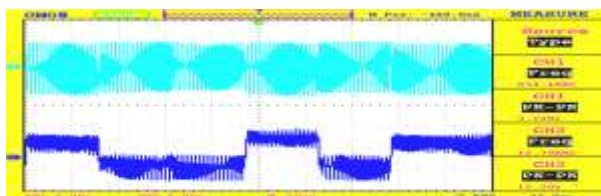
Gambar 31 Pembagi empat dan sinyal sinus

Sinyal pembawa yang dihasilkan oleh *carrier recovery* adalah sinus 639KHz untuk diumpankan ke rangkaian demodulator.

## 3.3 Pengujian Demodulator

### 3.3.1 Pengamatan *Balanced Demodulator*

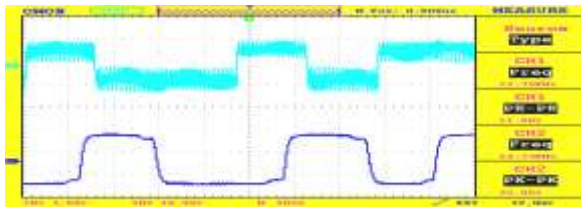
Sinyal kedua adalah sinyal hasil perkalian yang memiliki frekuensi dua kali frekuensi sinyal pembawa sesuai dengan teori. Dari Gambar 32 juga dapat diamati bahwa sinyal hasil perkalian mengandung sinyal bakal informasi yaitu komponen dc ( $\pm \frac{1}{2} dc V$ ).



Gambar 32 Sinyal BPSK dan output *balance demodulator*

### 3.3.2 Pengamatan Sinyal Keluaran LPF

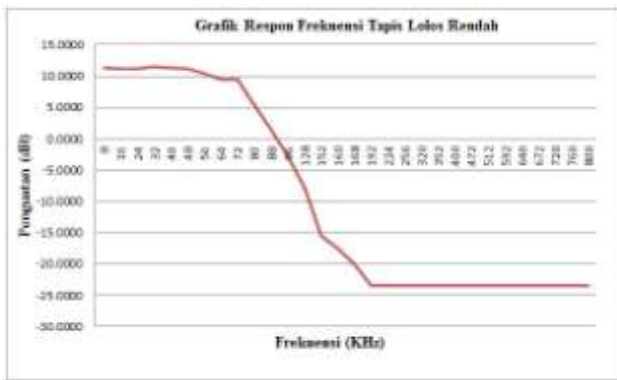
Tujuan dari low pass filter ini untuk menghilangkan frekuensi tinggi hasil keluaran rangkaian *balance demodulator*. Sinyal keluaran tapis merupakan sinyal analog dengan pola yang sesuai dengan data yang dikirimkan oleh modulator.



Gambar 33 Sinyal input dan output LPF

### 3.3.3 Pengujian LPF Rekonstruksi

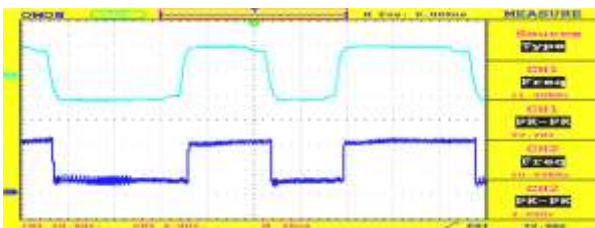
Tapis yang dirancang menghasilkan landaian seperti ditunjukkan pada Gambar 4.18. Dapat dilihat pula bahwa besarnya amplitudo mulai berkurang pada saat frekuensi 80KHz seiring dengan naiknya frekuensi. Hal ini kurang sesuai dengan rencana awal dimana frekuensi cut off seharusnya sebesar 32 KHz.



Gambar 4.19 Respon frekuensi LPF Rekonstruksi

### 3.3.4 Pengamatan Keluaran Bit Regenerator

Rangkaian bit regenerator akan mendapatkan sinyal informasi yang berbentuk bit-bit data dari sinyal keluaran LPF yang masih berupa sinyal analog.



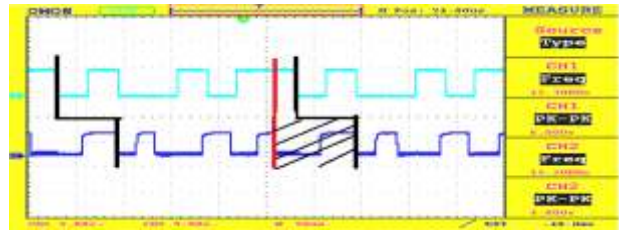
Gambar 34 Sinyal input dan output bit regenerator

Lebar bit keluaran bit regenerator tergantung dari level tegangan sinyal yang masuk dan pengaturan tegangan ambang (*Threshold Voltage*).

## 3.4 Pengujian Sistem BPSK

Pengamatan dimaksudkan untuk membandingkan data input modulator dari keluaran data sinyal informasi

dengan data keluaran demodulator yang dihubungkan melalui kabel.



Gambar 35 Sinyal Informasi Modulator dan Demodulator

Pola perulangan sinyal informasi 8 bit pada modulator BPSK dan bit eror yang terjadi pada demodulator BPSK dapat dilihat melalui tabel di bawah ini:

Tabel 1. Data Keluaran bit modulator dan demodulator

Penguji n	Bit ke-												eror bit	Pa mb aha n	Wa ktu tun da		
	1	2	3	4	5	6	7	8	9	10	11	12					
Runtun bit ke-1	0	1	0	0	1	0	1	1	-	-	-	-	-	-	-	-	-
Demodula si ke-1	0	1	0	0	1	0	1	0	0	1	1	-	1	bit	3	70 µs	
Runtun bit ke-2	0	0	1	0	1	1	0	1	-	-	-	-	-	-	-	-	-
Demodula si ke-2	0	0	1	0	1	1	0	0	1	0	1	1	1	bit	4	60µ s	
Runtun bit ke-3	1	1	0	1	0	0	1	0	-	-	-	-	-	-	-	-	-
Demodula si ke-3	1	1	0	1	0	0	1	1	0	1	0	0	1	bit	4	80 µs	
Runtun bit ke-4	0	1	0	1	0	0	0	0	-	-	-	-	-	-	-	-	-
Demodula si ke-4	0	1	0	1	0	0	0	0	-	-	-	-	-	0	bit	0	10 µs
Runtun bit ke-5	1	0	1	1	0	0	1	0	-	-	-	-	-	-	-	-	-
Demodula si ke-5	1	0	1	1	0	1	0	0	-	-	-	-	-	0	bit	0	15 µs
Runtun bit ke-6	1	0	1	0	0	1	0	1	-	-	-	-	-	-	-	-	-
Demodula si ke-6	1	0	1	0	0	1	0	1	0	0	1	-	0	bit	3	35 µs	
Rata-rata														0,5 bit	2,33 bit	45 µs	

Terdapat rata-rata tundaan waktu sebesar 45µs antara data dari PRG dengan data keluaran demodulator. Selain itu juga bit eror berupa kelebihan bit dengan rata-rata 2,33 bit pada masing-masing runtun bit demodulator serta dan perbedaan lebar pulsa, sehingga jika seharusnya pada modulator akan terdapat perulangan setiap 8 bit maka



pada demodulator perulangan terjadi setiap 10 sampai 12 bit yang terlihat pada tabel 4.1. Tundaan diakibatkan oleh tundaan transmisi sinyal dari modulator ke demodulator, tundaan tapis rekonstruksi, serta akumulasi penundaan dari tiap-tiap komponen yang digunakan. Namun untuk eror bit pada bit terjadi akibat proses pemulihan sinyal pembawa yang tidak sempurna sehingga mengakibatkan kesalahan dalam proses pembacaan bit-bit informasi pada demodulator. Dapat dilihat pula dari tabel 4.1 bahwa eror bit pada pengujian paling banyak berada pada bit terakhir, dan pada beberapa percobaan pada runtun bit informasi tidak ditemukan adanya eror bit, hal tersebut menandakan bahwa penguncian fasa pada pemulih sinyal pembawatehlah terkunci. Tetapi jika dicoba untuk runtun bit yang berbeda maka hasilnya juga akan berbeda lagi dan ditemukan *error* bit kembali.

#### 4. Penutup

Berdasarkan pengujian dan analisis yang telah dilakukan, maka dapat disimpulkan beberapa hal sebagai berikut:

1. Sinyal pembawa 640KHz melalui operasi logika pembagi untuk kemudian diubah menjadi sinusoidal dengan LPF. Data serialacakdiubahmenjadi data informasi paralel oleh *Bit Splitter* dengan bit rate sebesar 32kbps. Pembalikan fasa menggunakan rangkaian *invert*inghanya menghasilkan perbedaan fasa sebesar  $162^\circ$  yang diakibatkan karena pembentukan pembangkit sinyal pembawa yang tidak sempurna.
2. Rangkaian pengkuadrat dan pengkali empat pada *carrier recovery* masing-masing menghasilkan frekuensi 1,28 MHz dan 2,56 MHz. Ketidakstabilan keluaran rangkaian pengkuadrat dan pengkali empat diakibatkan karena perbedaan fasa sinyal  $\cos$  dan  $-\cos$  hanya  $162^\circ$ .Rangkaian schmitt trigger mengubah sinyal sinus menjadi kotak yang menjadi masukan bagi PLL untuk mengunci frekuensi sebesar 2,56 MHz.
3. Terjadinya tundaan waktu antara rata-rata data input modulator dengan data keluaran demodulator pada saat pengujian sebesar  $45 \mu s$  karena proses pengubahan dari data serial ke paralel pada modulator, tundaan tapis rekonstruksi, dan akumulasi penundaan dari tiap-tiap komponen yang digunakan. Terdapat kesalahan pembacaan bit pada demodulator pada saat pengujian dengan rata-rata kesalahan sebesar 0,5 bit dan kesalahan berupa kelebihan bit pada saat pengujian dengan rata-rata kesalahan sebesar 2,33 bit.Kesalahan diakibatkan karena pada proses *carrier recovery* sinyal pembawa tidak dapat dipulihkan secara sempurna.

Untuk pengembangan sistem lebih lanjut, maka dapat diberikan saran-saran sebagai berikut:

1. Penggunaan pembangkit frekuensi gelombang sinus yang lebih baik berupa *oscillator* analog yaitu kristal dengan komponen kapasitor, resistor dan induktor.

2. Penggunaan op amp yang lebih handal dan mampu digunakan untuk frekuensi tinggi untuk membalikan fasa sinyal pembawa tepat  $180^\circ$ .
3. Selain menggunakan metode *Squaring Loop*, juga dapat digunakan metode *Costas Loop* pada blok *carrier recovery*.

#### Referensi

- [1]. A Gayakwad, Ramakant, *OpAmps and Linier Integrated Circuits, 4th Edition*, Prentice Hall International Inc, New Jersey, 2000.
- [2]. Cockrill, Chri, *Application Report Understanding Schmitt Triggers*, [www.ti.com](http://www.ti.com), Septmber 2001.
- [3]. Franco, Sergio, *Design with Operational Amplifiers and Analog Integrated Circuits*, 2nd, Mc Graw-Hill Book Company, Singapore, 1998.
- [4]. Haykin, Simon, *Digital Communication*, McGraw-Hill, *Series in Electrical Engeneering*, USA, 1983.
- [5]. Lineker, Arief, *Perencanaan dan Realisasi Carrier Recovery Pada QPSK*, Makalah Tugas Akhir, Institut Teknologi Telkom, Bandung, 2008.
- [6]. Malvino, Albert Paul. *Electronic Principles*. Glencoe/McGraw-Hill School Publishing Company, 1998.
- [7]. Munandar, Arif, *Perancangan Perangkat Keras Sistem Modulasi Digital Binary Phase Shift Keying (BPSK)*, Makalah Tugas Akhir, Universitas Diponegoro, Semarang, 2001.
- [8]. Sklar, Bernard, *Digital Communication Fundament and Application*, Prentice Hall, New Jersey, 1998.
- [9]. Satya, Prahsad, *Design and Development of a QPSK Modulator*, BRAC University, Bangladesh, 2010.
- [10]. Tocci, Ronald J., Widmer, Neal S., *Digital Systems Principle and Aplication*, Prentice Hall, New Jersey, 1998, 2001.