

PERBANDINGAN KINERJA ADDER DENGAN TOPOLOGI MCC, CLA, DAN RCA 16-BIT DENGAN TEKNOLOGI 180NM MENGGUNAKAN SOFTWARE ELECTRIC

Okthavianus Bayu Pamungkas^{*)}, Munawar Agus Riyadi, and Maman Somantri

Departemen Teknik Elektro, Universitas Diponegoro
Jl. Prof. Sudharto, SH, Kampus UNDIP Tembalang, Semarang 50275, Indonesia

^{*)}E-mail: oktavianus.bayu@gmail.com

Abstrak

Teknologi Integrated Circuit (IC) adalah salah satu bidang paling penting dalam dunia elektronik karena teknologi ini dapat meminimalkan luas area dari rangkaian elektronik, efek parasitik dan biaya. Perangkat ini lebih handal dibandingkan dengan rangkaian yang tersusun dari komponen diskrit. Salah satu penerapan teknologi IC ini terdapat pada prosesor. Prosesor terdiri dari beberapa blok salah satunya adalah ALU. Di dalam ALU sendiri terdapat subblok adder. Subblok ini sangat penting dikarenakan paling banyak digunakan untuk dasar proses yang lainnya sehingga optimasi kinerja dari adder sangat diperlukan. Tujuan dari penelitian ini adalah membandingkan kinerja yang dihasilkan dari perancangan adder dengan topologi Ripple Carry Adder (RCA), Manchester Carry Chain (MCC), dan Carry Look Ahead (CLA) 16-bit dengan teknologi 180nm. Penelitian ini menggunakan software Electric untuk mendesain layout dan software LT-Spice untuk menguji fungsional, mengukur delay dan daya dari hasil ekstraksi layout. Hasil pengujian perancangan ini secara fungsional telah berjalan dengan baik. Kinerja (AT^2) paling baik dihasilkan pada topologi CLA 16-bit menggunakan CLA 4-bit sebesar 1.851.122,44 dengan nilai daya sesaat yang dihasilkan sebesar 0.0372W dan area coverage sebesar 72,660%.

Kata kunci: Adder, CLA, MCC, RCA

Abstract

Integrated Circuit (IC) technology is one of the most important fields in the world, because IC technology can minimize the area of electronic circuits, parasitic effects and costs. This device is more reliable than the discrete components. One of the implementation of IC technology is in the processor. The processor consists of several blocks one of which is the ALU. In the ALU itself there is subblock adder. This subblock is especially important because it is the most widely used for the basic process of the other so that the optimization performance of adder is very required. The purpose of this final project is to compare the performance generated from adder design with Ripple Carry Adder (RCA), Manchester Carry Chain (MCC), and Carry Look Ahead (CLA) 16-bit topology with 180nm technology. This project uses Electric software to design the layout and LT-Spice software for functional test and measure the delay and the power from the extracted layout. The results of this design is functionally has gone well. The best performance is on the topology CLA 16-bit by CLA 4-bit with value AT^2 is 1.851.122,44, value of instantaneous power generated is 0.0372W and area coverage is 72,660%.

Keywords: Adder, CLA, MCC, RCA

1. Pendahuluan

Teknologi sekarang ini berkembang sangat pesat. Penggunaan alat elektronik seperti komputer dan handphone sangat banyak, sehingga segala aktivitas yang kita lakukan dapat terbantu dengan adanya alat-alat tersebut. Dengan adanya kebutuhan akan perangkat elektronik meningkat, maka dituntut permintaan peningkatan kecepatan akses data, konsumsi daya yang rendah, dan ukuran divais yang semakin kecil.

Teknologi *Integrated Circuit* (IC) adalah salah satu bidang paling penting dalam dunia elektronik karena teknologi ini dapat meminimalkan luas area dari rangkaian elektronika, efek parasitik dan biaya. Perangkat ini lebih handal dibandingkan dengan rangkaian yang tersusun dari komponen diskrit. Salah satu penerapan teknologi IC ini terdapat pada prosesor. Prosesor terdiri dari beberapa blok utama sebagai penunjang kerjanya, salah satu blok yang paling penting yaitu *Arithmetic*

Logic Unit (ALU). Blok ini melakukan proses perhitungan seperti penjumlahan, pengurangan, penggeseran bit dan operasi logika seperti AND, OR dll. Subblok *adder* sangat penting dikarenakan paling banyak digunakan untuk dasar proses yang lainnya sehingga optimasi kinerja dari *adder* sangat diperlukan. Penelitian sebelumnya tentang perancangan *adder* pernah dilakukan oleh W. Pang dan M. Reaz dengan judul “Performance Evaluation of Manchester Carry Chain Adder for VLSI Designer Library”. Topologi *adder* yang digunakan yaitu Manchester Carry Chain (MCC) [1]. Penelitian lainnya oleh W. Cheng dengan judul “A Structural Approach For Optimizing 4-Bit Carry-Lookahead Adder”. Topologi *adder* yang digunakan yaitu Carry-Lookahead (CLA) dan Ripple Carry Chain (RCA) [2]. Karena kebutuhan akan kecepatan akses data semakin meningkat maka diperlukan desain IC yang memiliki *performance* yang baik yang sesuai kebutuhan, selain itu *adder* dengan lebar 4-bit kurang mampu memenuhi kebutuhan dibanding dengan *adder* 16-bit

Berdasarkan latar belakang tersebut, penelitian ini mengambil judul “Perbandingan Kinerja *adder* dengan topologi MCC, CLA, dan RCA 16-bit dengan Teknologi 180nm Menggunakan Software Electric”. Perancangan menggunakan teknologi fabrikasi 180nm dengan tegangan sumber sebesar 1.8V[3]. Software Electric [4] digunakan untuk membuat desain *layout adder*, dan software LT-Spice [5] untuk menguji fungsional, *delay*, dan daya dari hasil ekstraksi *layout adder* yang dibuat.

2. Metode

2.1. Perancangan Standard Cell

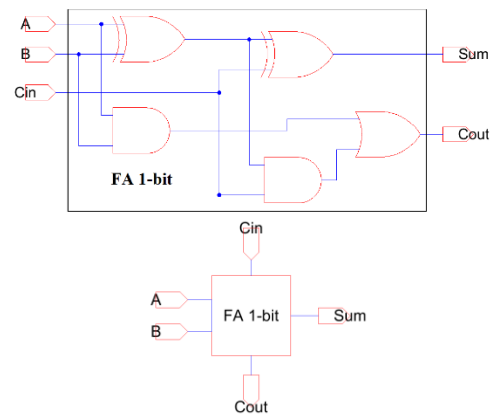
Standard cell merupakan suatu standar dimana setiap *cell* mempunyai tinggi dan lebar yang seragam[6]. Topologi RCA memiliki tinggi *standar cell* sebesar 147.5 lambda dan MCC memiliki tinggi *standar cell* 138 lambda, sedangkan lebar jalur VDD dan GND keduanya sama yaitu 12 lambda. Topologi CLA mempunyai *standard cell* yang berbeda pada setiap bit-nya dikarenakan memiliki jumlah transistor yang berbeda, sehingga penghubung tiap transistor membutuhkan tinggi yang sesuai dengan jumlah *wire* yang digunakan. Setiap *standard cell* memiliki jumlah masukan dan fungsi yang berbeda – beda, sehingga koneksi poly-ke-poly dan metal-ke-metal diantara pMOS dan nMOS pada sebuah *standar cell* berbeda - beda. Oleh karena itu, ukuran W transistor tiap *standar cell* berbeda. Hal ini disebabkan untuk menyesuaikan tinggi *standard cell* yang tetap sama dan tetap menjaga agar *time rise* dan *time fall* seimbang.

2.2. Perancangan Adder

Setelah mendesain *standard cell* gerbang logika dari level transistor dan *layout* dilanjutkan dengan perancangan *adder*.

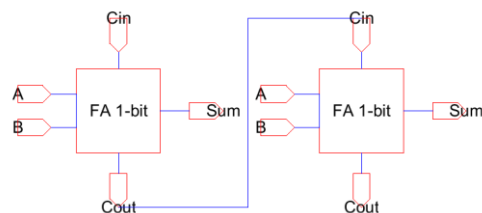
2.2.1. Ripple Carry Adder (RCA)

Pada topologi ini rangkaian Full Adder (FA) akan dirangkai dengan menghubungkan Cin dan Cout pada tiap blok 1-bit. Gambar 1 merupakan skematik RCA 1-bit.



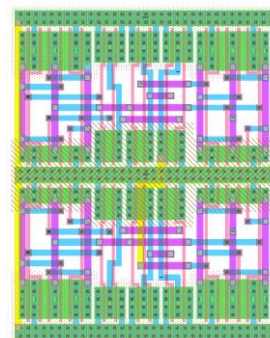
Gambar 1. Skematik RCA 1-bit

Gambar 1 merupakan rangkaian Full Adder (FA) 1-bit yang memiliki 3 masukan yaitu A, B, dan Cin dan dua buah keluaran yaitu Sum dan Cout. Untuk merangkai menjadi RCA, setiap Cout pada rangkaian FA 1-bit dihubungkan dengan Cin pada FA berikutnya seperti pada gambar 2



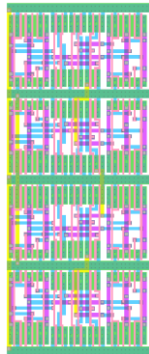
Gambar 2. Skematik RCA 2-bit

Setelah merancang skematik kemudian dibawa ke perancangan *layout*. Gambar 3 adalah *layout* dari RCA 2-bit

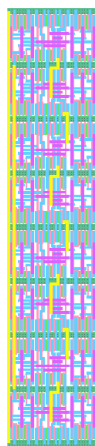


Gambar 3. Layout RCA 2-bit

Pada topologi RCA didesain RCA dengan lebar data 2-bit, 4-bit, 8-bit, dan 16-bit. Berikut hasil desain *layout* nya



Gambar 4. *Layout* RCA 4-bit



Gambar 5. *Layout* RCA 8-bit

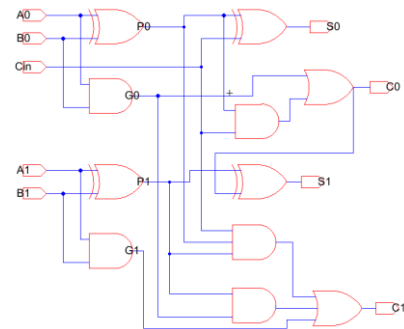


Gambar 6. *Layout* RCA 16-bit

2.2.2. Carry Look Ahead (CLA)

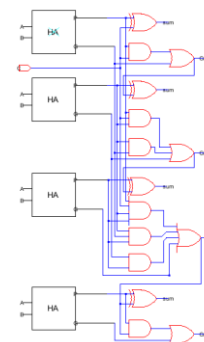
Carry pada topologi ini dihubungkan pada setiap rangkaian tiap bit nya, sehingga semakin besar lebar data

yang digunakan maka semakin besar pula rangkaiannya. Gambar 7 adalah skematik CLA 2-bit

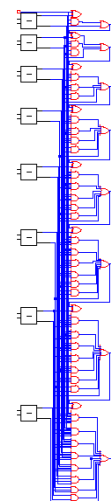


Gambar 7. Skematik CLA 2-bit

Pada topologi CLA didesain CLA 16-bit menggunakan CLA 2-bit, CLA 4-bit, dan CLA 8-bit. Berikut skematiknya



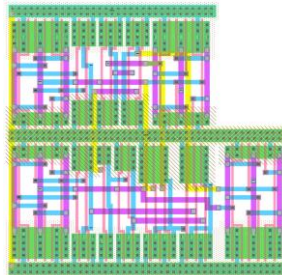
Gambar 8. Skematik CLA 4-bit



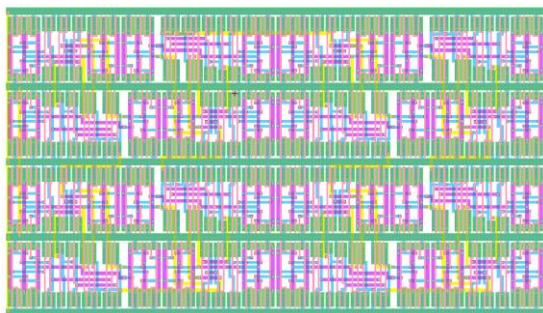
Gambar 9. Skematik CLA 8-bit

Setelah merancang skematik kemudian dibawa ke *level layout*. Gambar 10 merupakan *layout* dari CLA 2-bit. Dari *layout* tersebut kemudian akan disusun menjadi CLA 16-bit. Selanjutnya juga didesain CLA 16-bit menggunakan

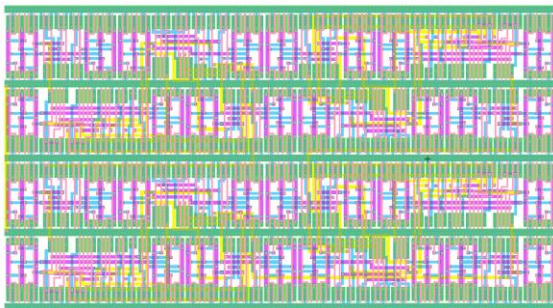
CLA 4-bit dan CLA 8-bit. Berikut adalah hasil desain layoutnya



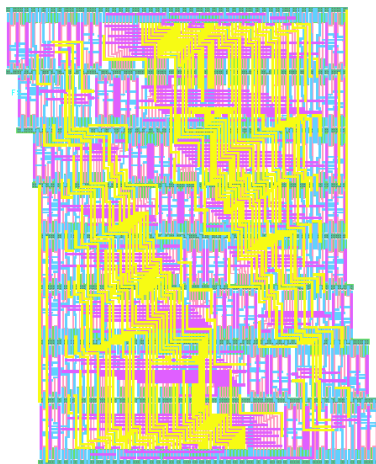
Gambar 10. Layout CLA 2-bit



Gambar 11. Layout CLA 16-bit menggunakan CLA 2-bit



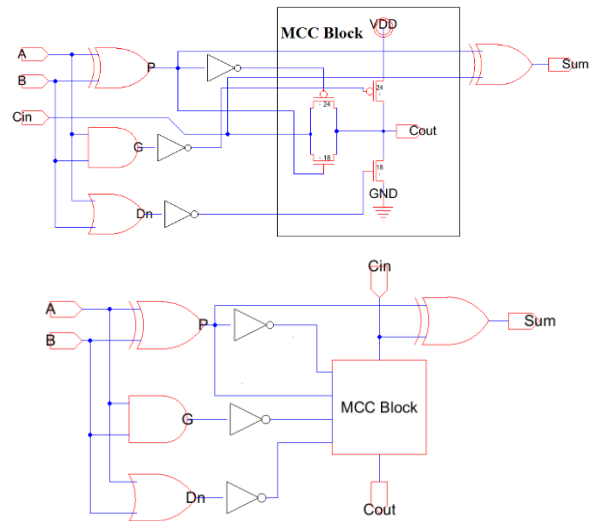
Gambar 12. Layout CLA 16-bit menggunakan CLA 4-bit



Gambar 13. Layout CLA 16-bit menggunakan CLA 8-bit

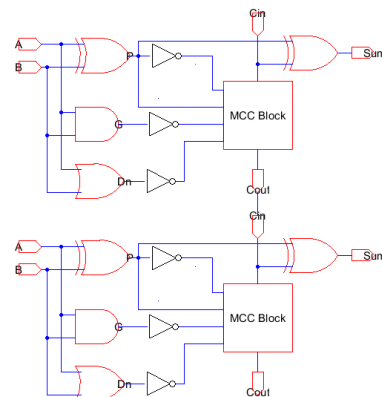
2.2.3. Manchester Carry Chain (MCC)

Topologi MCC merupakan pengembangan dari topologi CLA dengan meminimalkan jumlah transistor yang dipakai. Gambar 14 merupakan skematik dari MCC 1-bit.

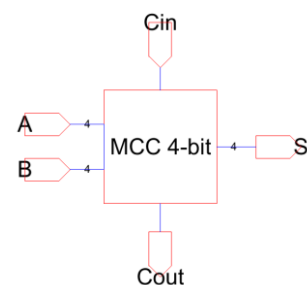


Gambar 14. Skematik MCC 1-bit

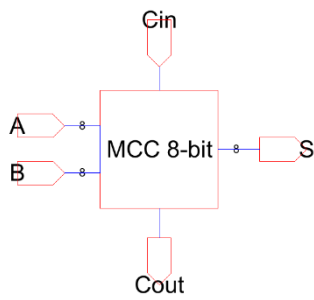
Lebar jalur data menggunakan topologi ini dapat ditambah dengan cara setiap Cout pada rangkaian MCC 1-bit disambungkan dengan Cin pada MCC berikutnya. Gambar 15 merupakan contoh untuk menyusun MCC 2-bit. Pada topologi ini akan didesain MCC 2-bit, 4-bit, 8-bit, dan 16-bit.



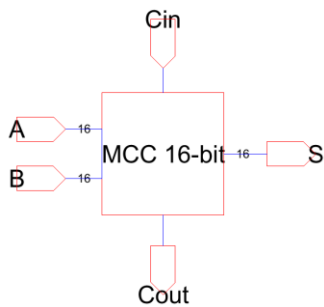
Gambar 15. Skematik MCC 2-bit



Gambar 16. Skematik MCC 4-bit

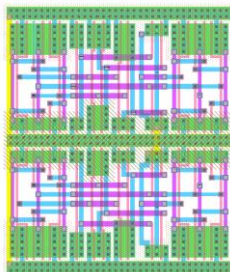


Gambar 17. Skematik MCC 8-bit

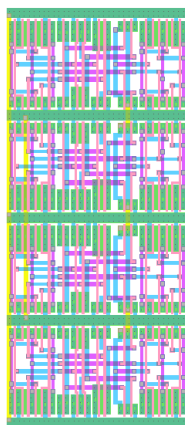


Gambar 18. Skematik MCC 16-bit

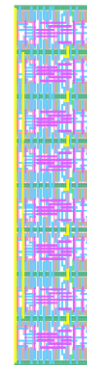
Setelah perancangan skematik kemudian dibawa ke *level layout*. Berikut hasil perancangan ke dalam *level layout* sampai 16-bit.



Gambar 19. Layout MCC 2-bit



Gambar 20. Layout MCC 4-bit



Gambar 21. Layout MCC 8-bit



Gambar 22. Layout MCC 16-bit

3. Hasil dan Analisa

Setelah pembuatan *layout* selesai dilakukan, tahap berikutnya adalah pemberian node sinyal masukan, keluaran, dan *power* untuk menghasilkan variasi *input*. Setelah itu *layout* diekstrak pada *software* LT-spice untuk dilakukan pengujian fungsional, pengukuran arus yang mengalir dan pengukuran *delay*.

3.1. Pengujian Fungsional

Gambar 23 adalah hasil simulasi keluaran *layout* Adder 16-bit menggunakan CLA 4-bit. Pengujian dilakukan dengan memberi masukan A dengan nilai 'FFFF', 'FFFF', 'AAAA', '00FF' dan masukan B dengan nilai '0001', '6666', 'EEEE', '00FF'. Fungsional dari RCA 8-bit telah sesuai yaitu hasil pada S bernilai '0000', '6665', '9998', '01FE' dengan nilai Carry '0', '1', '1', '1'.



Gambar 23. Pengujian fungsional CLA 16-bit menggunakan CLA 4-bit

3.2. Pengujian Kinerja

Nilai kinerja suatu *adder* dapat dihitung dengan cara mengalikan luas area dan kuadrat delay yang terjadi [7]

$$\text{Kinerja Adder} = At^2 \quad (1)$$

dimana,

A = Luas area (λ^2)

t = delay (ns)

hasil perhitungan kinerja *adder* dapat dilihat pada tabel 1

Tabel 1. Hasil perhitungan kinerja *adder*

Topologi	Tpd (t)	Area (A)	Kinerja (At^2)
RCA 2-bit	0,3	55.176	4.965,84
RCA 4-bit	0,67	105.336	47.285,33
RCA 8-bit	1,37	205.656	385.995,75
RCA 16-bit	2,77	406.296	3.117.468,58
MCC 2-bit	0,326	62.330	6.624,18
MCC 4-bit	0,74	121.785	66.689,47
MCC 8-bit	2,635	235.405	1.634.469,88
MCC 16-bit	9,985	460.000	45.862.103,50
CLA 16-bit dari 2-bit	2,39	502.492	2.870.284,55
CLA 16-bit dari 4-bit	1,877	525.420	1.851.122,44
CLA 16-bit dari 8-bit	2,605	1.302.336	8.837.684,65

Tabel 1 memperlihatkan bahwa kinerja untuk topologi dengan lebar data 16-bit paling baik adalah pada topologi CLA 16-bit menggunakan CLA 4-bit. Walaupun luas area pada topologi ini lebih besar dari pada RCA-16-bit, MCC 16-bit dan CLA 16-bit menggunakan CLA 2-bit, namun topologi CLA 16-bit menggunakan CLA 4-bit memiliki *delay* paling kecil yaitu 1,877ns

3.3. Pengaruh Daya Sesaat, Area Coverage, dan Jumlah Transistor terhadap Kinerja *adder*

Setelah mendapat nilai kinerja dari semua desain *layout*, selanjutnya adalah menganalisis pengaruh daya sesaat,

area coverage, dan jumlah transistor terhadap nilai kinerja.

Tabel 2. Pengaruh kinerja *adder* terhadap parameter lain

Topologi	Kinerja (At^2)	Area Coverage (%)	Jumlah Transistor	Daya Sesaat (W)
RCA 2-bit	4.965,84	61.612	72	0.0047
RCA 4-bit	47.285,33	64.064	144	0.0093
RCA 8-bit	385.995,75	65.343	288	0.0187
RCA 16-bit	3.117.468,58	66.014	576	0.0374
MCC 2-bit	6.624,18	60.110	76	0.0062
MCC 4-bit	66.689,47	62.130	152	0.0124
MCC 8-bit	1.634.469,88	63.191	304	0.0249
MCC 16-bit	45.862.103,50	63.741	608	0.0498
CLA 16-bit dari 2-bit	2.870.284,55	66.249	656	0.0370
CLA 16-bit dari 4-bit	1.851.122,44	72.660	696	0.0372
CLA 16-bit dari 8-bit	8.837.684,65	66.858	1340	0.0367

Tabel 2 menunjukkan bahwa selain CLA 16-bit menggunakan CLA 4-bit memiliki nilai kinerja paling baik untuk lebar data 16-bit topologi ini juga memiliki *area coverage* yang paling baik karena penggunaan jalur untuk *routing* dapat dimaksimalkan cukup baik.

Daya sesaat paling kecil terdapat pada CLA 16-bit menggunakan CLA 8-bit walaupun kinerja pada desain ini kurang baik dibandingkan dengan CLA 16-bit menggunakan CLA 4-bit dan 2-bit dan RCA 16-bit. Hal tersebut dapat disebabkan karena pada topologi CLA 16-bit menggunakan CLA 8-bit ini transistor yang aktif pada saat diberi masukan tidak sebanyak pada topologi dengan lebar data 16-bit yang lain sehingga arus yang mengalir pada VDD sedikit..

4. Kesimpulan

Topologi CLA 16-bit menggunakan CLA 4-bit memiliki kinerja dan *area coverage* yang paling baik untuk lebar data 16-bit, tetapi untuk daya sesaat masih belum optimal dibandingkan dengan topologi yang lain. Untuk penelitian selanjutnya dapat lebih mengoptimalkan desain topologi *adder* dan dapat ditambahkan operasi pengurangan dalam desain *layout*nya menggunakan teknologi yang lebih kecil dari 180nm.

Referensi

- [1] W. L. Pang and M. B. I. Reaz, "Performance Evaluation of Manchester Carry Chain Adder for VLSI Designer Library," vol. 2005, pp. 666–670, 2005.
- [2] W. Cheng, "A Structured Approach for Optimizing 4-Bit Carry-Lookahead Adder," pp. 133–142, 2014.
- [3] Mosis, "Scalable CMOS Design Rules," 2009.
- [4] S. M. Rubin, "Using the ELECTRIC VLSI Design System."
- [5] L. Technology, "LTspice 4 Getting Started Guide," pp. 1–53, 2011.
- [6] N. E. H. Weste and D. M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, vol. 53, no. 9. 2013.
- [7] A. Al-khalili and Y. Zhao, "A Report on Design of 4-bit Manchester Adder," pp. 1–14.