

PERANCANGAN STRUKTUR MOSFET SILICON-ON-INSULATOR (SOI) DAN JUNCTIONLESS TRANSISTOR (JLT) MENGGUNAKAN SILVACO TCAD 2007

Irawan Dharma Sukowati^{*)}, Munawar Agus Riyadi, and Darjat

Jurusan Teknik Elektro, Universitas Diponegoro Semarang
Jl. Prof. Sudharto, SH, kampus UNDIP Tembalang, Semarang 50275, Indonesia

^{*)} Email: angusajadeh@gmail.com

Abstrak

Saat ini pentingnya miniaturisasi dimensi pada perangkat elektronik telah memaksa produsen untuk berinovasi pada struktur dan mekanisme hantaran dari transistor. Junctionless FET (JLFET) telah menunjukkan potensi lebih pada skala dimensi dengan mengurangi kebutuhan source dan drain, berbeda dengan Silicon-On-Insulator (SOI MOSFET). SOI MOSFET masih membutuhkan source dan drain dalam struktur fisiknya. Tugas akhir ini berfokus pada membandingkan kinerja threshold voltage (V_t) dan subthreshold slope (SS) dari JLT dari JLFET dan SOI MOSFET menggunakan Silvaco TCAD 2007. Hasil penelitian menunjukkan bahwa dalam subthreshold slope (SS), JLFET memiliki nilai ideal sebesar 60 mV/decade, yang unggul dari SOI MOSFET untuk tingkat *doping* yang sama. Di samping itu, threshold voltage (V_t) menunjukkan kecenderungan yang berbeda antara kedua jenis perangkat. Variasi parameter gate length (L_g), thickness of gate oxide (t_{ox}), thickness of silicon (t_{si}), dan *doping* concentration (N_A) dilakukan pada struktur SOI MOSFET dan JLFET untuk mengetahui trend variasi tersebut terhadap threshold voltage dan subthreshold swing.

Kata kunci : JLFET, Silvaco TCAD 2007, SOI MOSFET, subthreshold slope, threshold voltage.

Abstract

The importance of dimension scaling in recent electronic devices has been forcing manufactures to innovate on the structure as well as the conducting mechanism. The Junctionless FETs (JLFETs) have shown the potential to further scaling process, by diminishing the requirement of junction for source and drain, in contrast to silicon on insulator (SOI MOS FETs). SOI MOSFETs needs source and drain in the structure. This final project focuses on comparing the threshold voltage (V_t) and subthreshold voltage (SS) of JLFET and SOI MOSFET using Silvaco TCAD 2007. The result shows that in terms of subthreshold slope, JLFET approaches near ideal value of 60mV/decade, which is superior than the SOI MOSFET for similar *doping* rate. On the other hand, the threshold value shows different tendencies between those types of device. Some devices has variation values of gate length (L_g), thickness of gate oxide (t_{ox}), thickness of silicon (t_{si}), and *doping* concentration (N_A) of SOI MOSFET and JLFET to see the trends against threshold voltage and substreshold slope.

Keywords : JLFET, Silvaco TCAD 2007, SOI MOSFET, subthreshold slope, threshold voltage.

1. Pendahuluan

MOSFET atau *Metal-Oxide-Semiconductor Field Effect Transistor* merupakan perangkat yang populer dan banyak digunakan dalam sirkuit digital, mikroprosesor, sirkuit memori, dan aplikasi logika lainnya. Perangkat ini digunakan sebagai penguat atau pengalih sinyal elektronik. Ukuran MOSFET yang relatif kecil menyebabkan ribuan perangkat transistor dapat didesain dalam satu sirkuit tunggal yang terintegrasi atau *Integrated Circuit*. Konsep transistor pertama kali di patenkan oleh J.E Lilienfed dengan nama "*Method and Apparatus for Controlling Electric Currents*" yang

dikemukakan hampir delapan puluhan tahun yang lalu, yang sekarang berkembang menjadi MOSFET modern[1]. Dia mengusulkan tiga perangkat terminal utama untuk mengontrol arus listrik, yaitu *source*, *drain*, dan *gate*. Arus dari *source* ke *drain* akan dikontrol oleh efek medan dari *gate* dan lapisan insulatornya[1].

Gordon Moore pada tahun 1965 mengusulkan Hukum Moore, dimana hukum ini menunjukkan evolusi kepadatan transistor di dalam IC. Dia memprediksi bahwa setiap 18 bulan, kepadatan transistor di dalam IC akan meningkat dua kali lipat dari sebelumnya. Sampai saat ini

perkembangan teknologi industri di bidang IC mengikuti hukum moore yang dikemukakan 50 tahun yang lalu[1]. Permintaan terhadap perangkat mikroelektronik yang berkinerja cepat dan lebih murah telah menyebabkan penyusutan ukuran yang luar biasa dari perangkat IC dan peningkatan kinerja elektrik yang sepadan dengan kepadatan komponennya. Dibalik semua permintaan tersebut, teknologi penyusutan ukuran IC membawa efek kanal pendek atau *short channel effect*[2]. Efek kanal pendek menyebabkan masalah operasi kinerja elektrik pada MOSFET seperti tegangan ambang, sub-tegangan ambang, dan arus bocor[3]. Teknik desain sirkuit baru telah memperkenalkan teknologi yang lebih baru untuk mengatasi masalah tersebut, yaitu *Silicon-On-Insulator* atau SOI. Hal yang membedakan SOI dengan MOSFET *bulk*, dimana SOI memiliki lapisan silikon tipis yang ditumbuhkan di atas lapisan insulator. Perangkat SOI memiliki keuntungan dari kecepatan kerjanya yang 20% hingga 30% lebih cepat dengan penggunaan area sepertiga sampai setengahnya MOSFET *bulk*. Konsumsi daya yang rendah menyebabkan perangkat SOI menjadi pilihan teknik desain sirkuit modern[1].

Perkembangan terhadap teknik desain sirkuit membuat perangkat SOI memiliki jenis teknik desain sirkuit baru, yaitu *silicon on insulator junctionless transistor* atau SOI JLT. Berbeda dengan SOI-based, SOI jenis JLT memiliki *doping* yang tinggi pada *source* dan *drain*[4]. Jika SOI konvensional ketika $V_g = 0$ membuat transistor dalam keadaan mati maka pada SOI JLT kebalikannya. $V_g = 0$ pada SOI JLT membuat transistor dalam keadaan hidup. *Gate* pada SOI JLT bertugas sebagai kran arus untuk mengontrol arus elektron dari *source* ke *drain*. Kelemahan SOI JLT yaitu masih menggunakan *gate* tipe *polysilicon* dalam desainnya. Tipe *gate* dengan *polysilicon* membuat efek penipisan lapisan *poly* dan secara kimiawi tidak stabil untuk kontak dengan nilai dielektrik tinggi[5]. Oleh karena itu maka muncul SOI JLT tipe *gate* dengan *metal* yang tidak memerlukan *doping* seperti tipe *gate* dengan *polysilicon*.

Tujuan dari Tugas Akhir ini adalah:

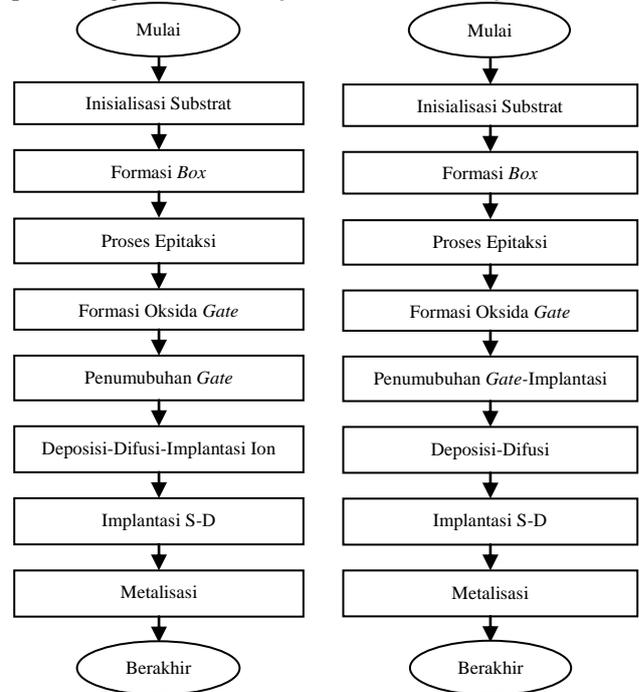
1. Merancang MOSFET dengan struktur SOI dan JLT menggunakan perangkat lunak TCAD silvaco 2007.
2. Mengekstraksi dan mengamati perilaku kinerja elektrik tegangan ambang dan *slope* pada MOSFET dengan struktur SOI dan JLT.

Dalam penyusunan Tugas Akhir ini, telah ditentukan batasan-batasan masalah sebagai berikut:

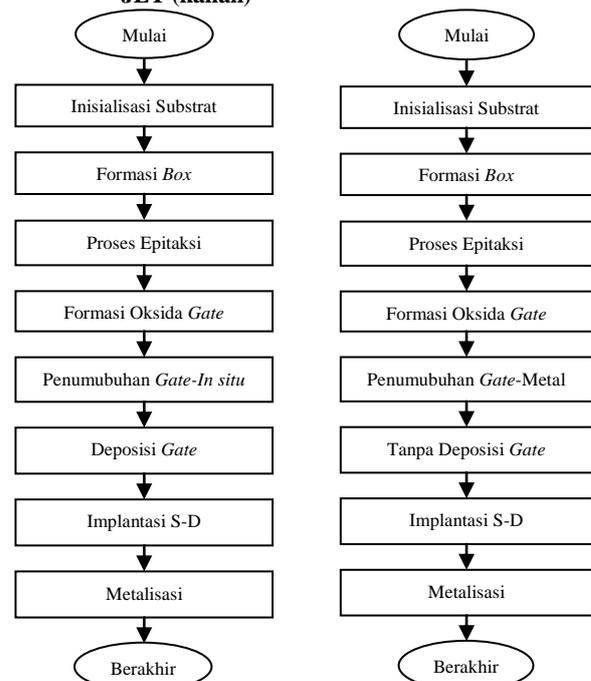
1. Jenis MOSFET meliputi SOI-based, JLT-based, JLT dengan *in situ gate*, dan JLT dengan *metal gate*.
2. Kinerja elektrik MOSFET meliputi tegangan ambang (V_t) dan *Subthreshold Swing* (SS).
3. Perancangan menggunakan alat bantu TCAD Silvaco 2007 dengan *tools* silvaco-athena dan silvaco atlas. Panjang kanal yang dibahas yaitu 50 – 200 nm.

2. Metode

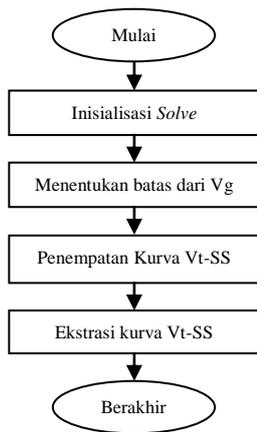
Perancangan terbagi menjadi dua bagian, yaitu simulasi proses (Silvaco-Athena) dan simulasi perangkat (Silvaco-Atlas). Gambar 1. menunjukkan diagram alir simulasi proses perancangan SOI-based dan JLT-based sedangkan Gambar 2. menunjukkan diagram alir simulasi perancangan JLT *in situ gate* dan JLT *metal gate*.



Gambar 1. Diagram alir simulasi proses SOI (kiri) dan JLT (kanan)



Gambar 2. Diagram alir simulasi proses JLT *in situ gate* (kiri) dan JLT *metal gate* (kanan)



Gambar 3. Diagram alir simulasi perangkat

Proses untuk mensimulasikan fabrikasi transistor *Junctionless* dan SOI menggunakan Silvaco-Athena. Silvaco-Athena bertujuan untuk memeriksa kebenaran parameter proses fabrikasi. Hasil dari simulasi akan ditampilkan dalam jendela baru, yaitu tonyplot dimana terdapat berbentuk profil *doping*, *grid* struktur, dan struktur *device*.

Gambar 3. menunjukkan diagram alir simulasi perangkat. Hasil dari program simulasi proses dimasukkan ke simulator *device* (Silvaco-Atlas) dan karakteristik *device* dapat diperiksa. Tugas akhir ini hanya mengekstraksi dua parameter dalam simulasi perangkat, yaitu tegangan ambang (V_t) dan *subthreshold slope* (SS). Jenis MOSFET yang dirancang dalam tugas akhir yaitu:

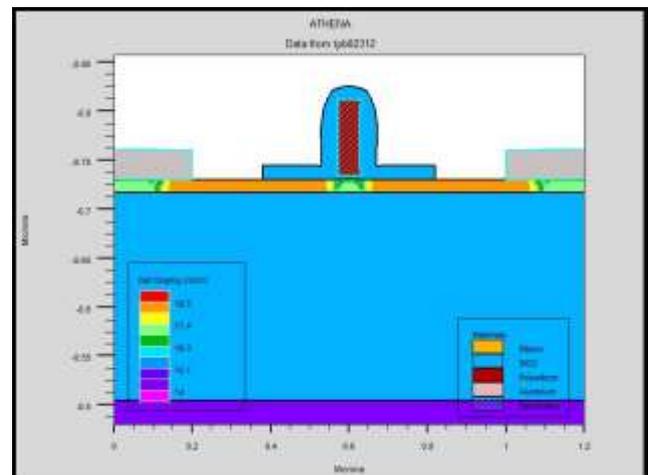
1. SOI (*Silicon On Insulator*)
2. JLT (*Junctionless Transistor*)
 - a. JLT-based
 - b. JLT-in situ gate
 - c. JLT-metal gate

Variasi perubahan L_g , t_{ox} , t_{si} , dan N_A pada perancangan struktur MOSFET bertujuan untuk mengetahui *trend* V_t dan SS pada keempat model MOSFET. Tabel 1. menunjukkan variasi perubahan L_g , t_{ox} , t_{si} , dan N_A pada perancangan masing-masing struktur MOSFET.

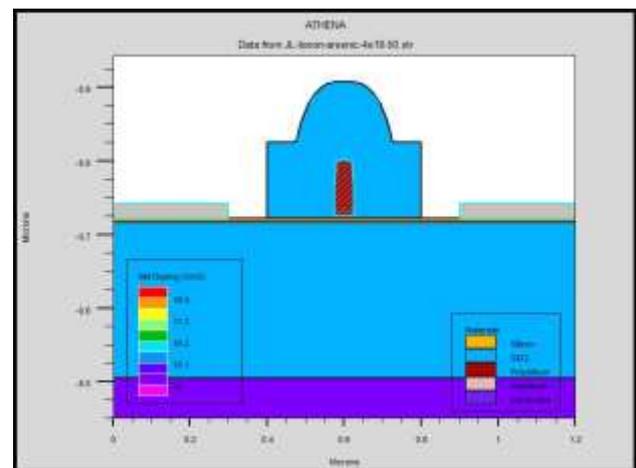
Tabel 1. Variasi perubahan L_g , t_{ox} , t_{si} , dan N_A pada percangan struktur MOSFET

	SOI-based	JLT-based	JLT-in situ gate	JLT-metal gate
L_g (nm)	50/100/ 200	50/100/ 200	50/100 /200	50/100/ 200
t_{ox} (nm)	3/5/7	3/5/7	3/5/7	3/5/7
t_{si} (nm)	3,2/12,8/ 22,9/ 46,7/76,5	3/5/10	3/5/10	3/5/10
N_A (cm ⁻³)	$1,58 \times 10^{14}$ / $1,58 \times 10^{14}$ / $1,58 \times 10^{16}$ / $3,98 \times 10^{16}$ / $6,31 \times 10^{17}$	$1,99 \times 10^{17}$ / $1,99 \times 10^{18}$ / $1,99 \times 10^{19}$	$1,99 \times 10^{17}$ / $1,99 \times 10^{18}$ / $1,99 \times 10^{19}$	$1,99 \times 10^{17}$ / $1,99 \times 10^{18}$ / $1,99 \times 10^{19}$

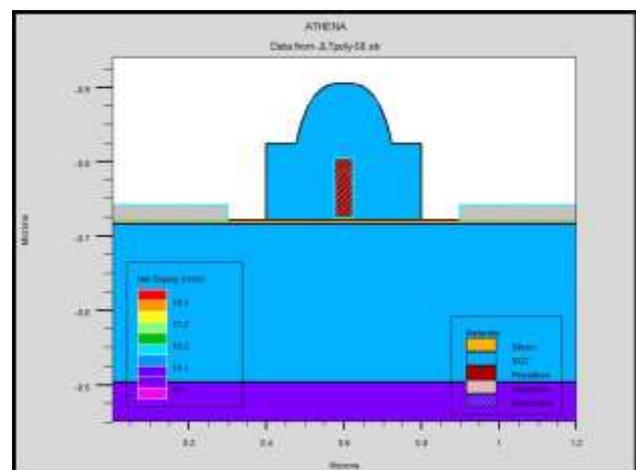
3. Hasil dan Analisa



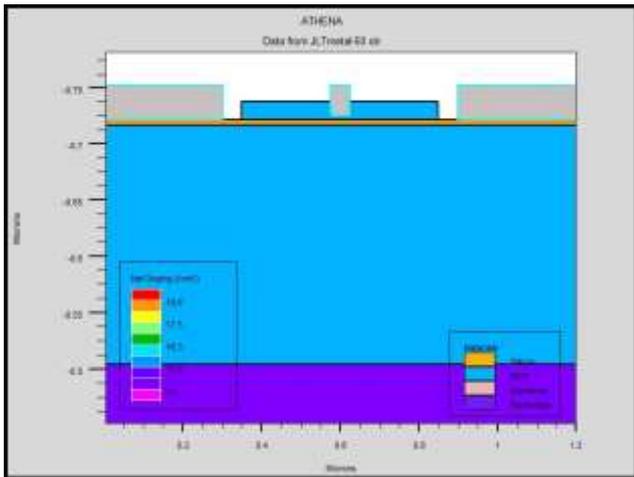
Gambar 4. Struktur SOI dengan TCAD



Gambar 5. Struktur JLT-based dengan TCAD



Gambar 6. Struktur JLT-in situ gate dengan TCAD



Gambar 7. Struktur JLT-metal gate dengan TCAD

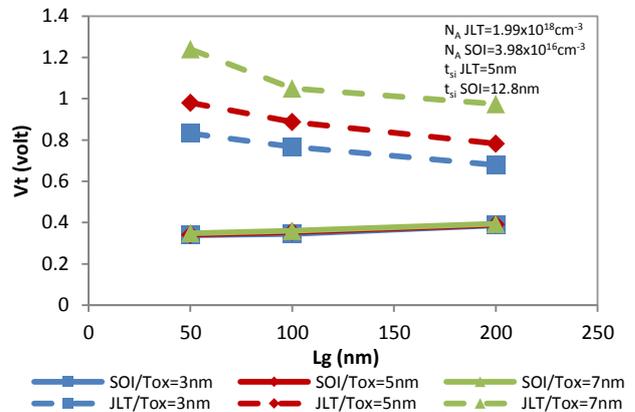
Gambar 4. menunjukkan struktur SOI pada simulasi proses atau silvaco-athena. Struktur SOI pada gambar menunjukkan $L_g=50\text{nm}$, $t_{ox}=5\text{nm}$, $t_{si}=3\text{nm}$, $t_{box}=212\text{nm}$, dan $N_A=4 \times 10^{16} \text{ cm}^{-3}$. Gambar 5. menunjukkan struktur JLT-based pada simulasi proses atau silvaco-athena. Struktur JLT-based pada gambar menunjukkan $L_g=50\text{nm}$, $t_{ox}=5\text{nm}$, $t_{si}=3\text{nm}$, $t_{box}=212\text{nm}$, dan $N_A=1.99 \times 10^{18} \text{ cm}^{-3}$.

Gambar 6. menunjukkan struktur JLT-in situ gate pada simulasi proses atau silvaco-athena. Struktur JLT-based pada gambar menunjukkan $L_g=50\text{nm}$, $t_{ox}=5\text{nm}$, $t_{si}=3\text{nm}$, $t_{box}=212\text{nm}$, dan $N_A=1.99 \times 10^{18} \text{ cm}^{-3}$. Gambar 7. menunjukkan struktur JLT-in situ gate pada simulasi proses atau silvaco-athena. Struktur JLT-based pada gambar menunjukkan $L_g=50\text{nm}$, $t_{ox}=5\text{nm}$, $t_{si}=3\text{nm}$, $t_{box}=212\text{nm}$, dan $N_A=1.99 \times 10^{18} \text{ cm}^{-3}$.

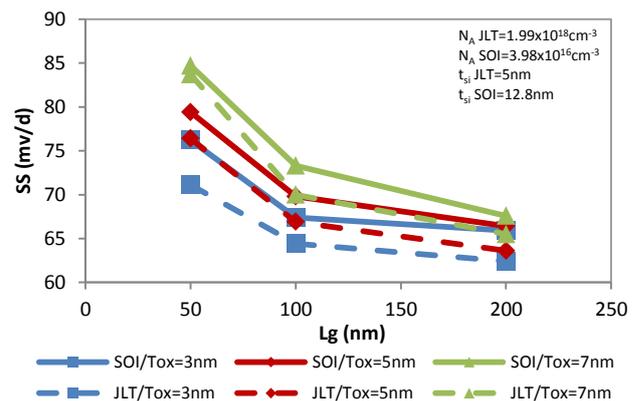
Gambar 8. merupakan grafik L_g vs V_t dari SOI-based vs JLT-based di bawah menunjukkan nilai tegangan ambang struktur JLT lebih besar dibandingkan dengan struktur SOI untuk panjang gerbang 50 nm sampai 200 nm. V_t struktur SOI meningkat dengan seiring kenaikan perubahan panjang gerbang. Hal ini disebabkan oleh fenomena SCE atau *short channel effect* dimana tegangan ambang akan menurun seiring mengecilnya ukuran panjang kanal atau sering disebut dengan V_t roll-off. V_t terjadi ketika MOSFET dalam kondisi inversi. Karena *channel* yang semakin mengecil membuat daerah deplesi di bawah *gate oxide* menjadi menipis. Dengan menipisnya daerah deplesi maka MOSFET semakin cepat mengalami kondisi inversinya. Semakin cepat MOSFET mengalami kondisi inversinya maka nilai V_t semakin kecil.

Sedangkan V_t struktur JLT menurun dengan seiring kenaikan perubahan panjang gerbang. Karena struktur JLT memiliki *doping* kanal yang tinggi dan tetap ($1.99 \times 10^{18} \text{ cm}^{-3}$) sedangkan panjang kanal semakin mengecil mengakibatkan munculnya RSCE atau *reverse-*

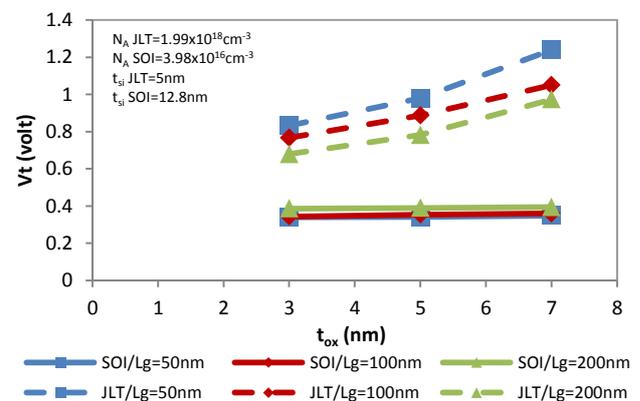
short channel effect. Hal ini disebabkan karena pada struktur JLT mengalami efek *hump* dimana tegangan ambang akan mengalami kenaikan seiring mengecilnya ukuran panjang kanal.



Gambar 8. Grafik L_g vs V_t dari SOI-based vs JLT-based



Gambar 9. Grafik L_g vs SS dari SOI-based vs JLT-based



Gambar 10. Grafik t_{ox} vs V_t dari SOI-based vs JLT-based

Gambar 9. menunjukkan nilai SS terhadap perubahan L_g dan t_{ox} . Struktur JLT memiliki nilai SS lebih tinggi dibandingkan struktur SOI dalam beberapa variasi

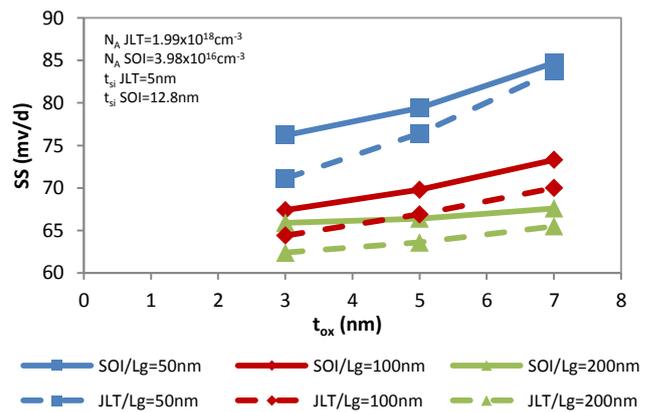
panjang gerbang, yaitu 50 nm sampai 200nm. SS berhubungan dengan kecepatan switching MOSFET saat on maupun off. Semakin kecil nilai SS maka MOSFET tersebut memiliki kecepatan switching yang tinggi. Idealnya, nilai SS mendekati 60 mV/decade. Short Channel Effect (SCE) atau efek kanal pendek muncul pada struktur SOI dan JLT. SCE terjadi ketika nilai SS meningkat dengan seiring panjang gate yang semakin kecil. Meskipun demikian, struktur JLT memiliki nilai SS jauh lebih kecil dibanding struktur JLT yang menyebabkan kecepatan switching struktur JLT lebih cepat dibanding dengan struktur SOI. Hal ini disebabkan karena struktur JLT memiliki mekanisme transportasi massal dimana arus mengalir di semua bagian dari konduksi saluran kanal, berbeda dengan konduksi pada SOI FET yang tertahan source dan drain.

Gambar 10. menunjukkan struktur SOI dan JLT memiliki mengalami penurunan V_t ketika terjadi perubahan tebal lapisan oksida yang semakin kecil. Struktur dengan lapisan oksida yang tebal mengakibatkan ketika struktur dalam kondisi inversi, konduksi gate terhadap substrate (lapisan epitaksi) mengalami delay yang lebih. Hal ini menyebabkan tegangan ambang yang dihasilkan semakin besar. Adapun nilai V_t struktur JLT lebih tinggi dibanding struktur SOI karena struktur JLT memiliki konsentrasi doping kanal yang tinggi dibandingkan struktur JLT. Dengan konsentrasi doping yang tinggi membuat holes pada saluran kanal struktur JLT semakin banyak sehingga mengalami kondisi inversi dengan tegangan ambang yang lebih tinggi.

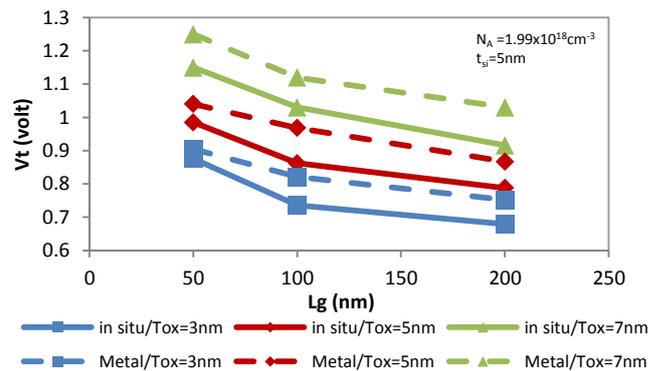
Gambar 11. menunjukkan tebal insulator atau tebal oksida berhubungan dengan kapasitansi MOSFET. Semakin besar tebal oksida maka kapasitansi MOSFET semakin kecil. Kapasitansi yang kecil mengakibatkan kenaikan pada SS. Hal ini disebabkan ketika konduksi gate terhadap substrate (lapisan epitaksi) dengan lapisan oksida yang tebal membuat delay dalam pertukaran holes dan electrons saat kondisi inversi terjadi pada struktur. Delay inilah yang menyebabkan nilai SS struktur semakin meningkat. Akan tetapi nilai SS struktur JLT lebih rendah dibanding struktur SOI. Hal ini yang menyebabkan kecepatan switching struktur JLT lebih cepat dibandingkan dengan struktur SOI. Hal ini disebabkan karena struktur JLT memiliki mekanisme transportasi massal dimana arus mengalir di semua bagian dari konduksi saluran kanal, berbeda dengan konduksi pada SOI FET yang tertahan source dan drain.

Gambar 12. menunjukkan bahwa semakin tinggi panjang gerbang struktur maka terjadi penurunan nilai V_t . Hal ini terjadi pada struktur JLT in situ gate dan JLT metal gate yang disebabkan karena pada strukturnya mengalami efek hump dimana tegangan ambang akan mengalami kenaikan seiring mengecilnya ukuran panjang kanal. Efek hump juga disebut RSCE atau reverse-short channel effect. JLT in situ gate memiliki V_t lebih rendah

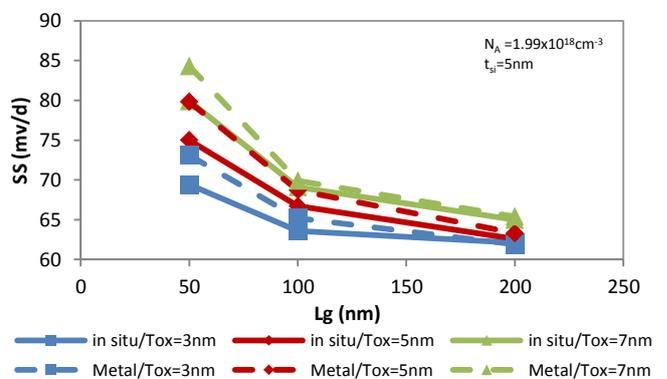
dibandingkan JLT metal gate. Hal ini disebabkan workfunction metal lebih rendah dari workfunction polysilicon. Jika metal menggunakan workfunction lebih tinggi daripada polysilicon menyebabkan kurang reaktif dan sulit untuk melakukan etching saat fabrikasi. Karena polysilicon workfunction tinggi atau high-k daripada metal maka nilai V_t polysilicon lebih rendah dibandingkan metal.



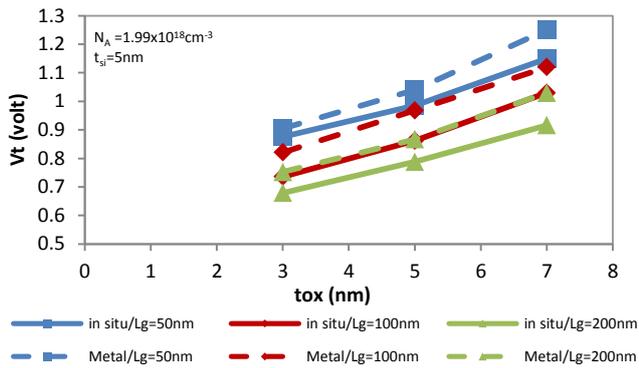
Gambar 11. Grafik t_{ox} vs SS dari SOI-based vs JLT-based



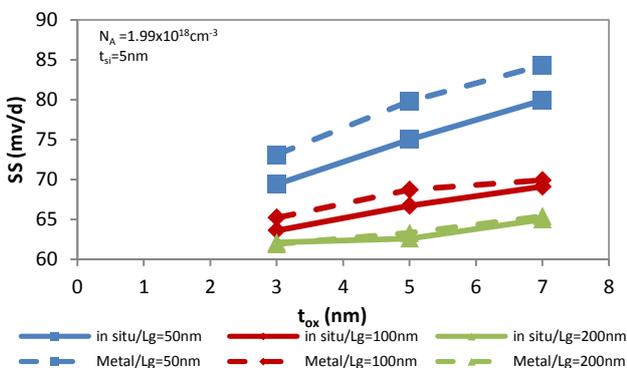
Gambar 12. Grafik L_g vs V_t dari JLT-in situ gate vs JLT-metal gate



Gambar 13. Grafik L_g vs SS dari JLT-in situ gate vs JLT-metal gate



Gambar 14. Grafik t_{ox} vs V_t dari JLT-*in situ gate* vs JLT-*metal gate*



Gambar 15. Grafik t_{ox} vs SS dari JLT-*in situ gate* vs JLT-*metal gate*

Gambar 13. menunjukkan struktur JLT *metal gate* memiliki nilai SS lebih tinggi dibandingkan struktur JLT *in situ gate* dalam panjang gerbang yang sama. SS berhubungan dengan kecepatan *switching* MOSFET saat *on* maupun *off*. Semakin kecil nilai SS maka MOSFET tersebut memiliki kecepatan *switching* yang tinggi. Idealnya, nilai SS mendekati 60 mV/decade. *Short Channel Effect* (SCE) atau efek kanal pendek muncul pada struktur pada JLT *in situ gate* dan JLT *metal gate*. SCE terjadi ketika nilai SS meningkat dengan seiring panjang gerbang yang semakin kecil. Meskipun demikian, struktur JLT *in situ gate* memiliki nilai SS jauh lebih kecil dibanding struktur JLT *metal gate* yang menyebabkan kecepatan *switching* struktur JLT *in situ gate* lebih cepat dibanding dengan struktur JLT *metal gate*. Hal ini disebabkan *workfunction metal* lebih rendah dari *workfunction polysilicon*. Jika metal menggunakan *workfunction* lebih tinggi daripada *polysilicon* menyebabkan kurang reaktif dan sulit untuk melakukan *etching* saat fabrikasi. Karena *polysilicon workfunction* tinggi atau high- κ daripada *metal* maka nilai SS *polysilicon* lebih rendah dibandingkan *metal*.

Gambar 14. menunjukkan struktur JLT *in situ gate* dan JLT *metal gate* memiliki perubahan dimana semakin tebal lapisan oksida maka mengakibatkan kenaikan nilai V_t .

Tebal oksida berhubungan dengan nilai kapasitansi MOSFET. Semakin tebal lapisan oksida maka semakin rendah nilai kapasitansinya. Semakin rendah kapasitansi MOSFET maka menyebabkan nilai V_t pada struktur meningkat. Struktur dengan lapisan oksida yang tebal mengakibatkan ketika struktur dalam kondisi inversi, konduksi *gate* terhadap *substrate* (lapisan epitaksi) mengalami *delay* yang lebih. Hal ini menyebabkan tegangan ambang yang dihasilkan semakin besar. JLT *in situ gate* memiliki V_t lebih rendah dibandingkan JLT *metal gate*. Hal ini disebabkan *workfunction metal* lebih rendah dari *workfunction polysilicon*. Jika metal menggunakan *workfunction* lebih tinggi daripada *polysilicon* menyebabkan kurang reaktif dan sulit untuk melakukan *etching* saat fabrikasi. Karena *polysilicon workfunction* tinggi atau high- κ daripada *metal* maka nilai V_t *polysilicon* lebih rendah dibandingkan *metal*.

Gambar 15. Ketebalan lapisan oksida mempengaruhi nilai SS pada struktur. Semakin tebal lapisan oksida pada struktur maka nilai kapasitansi akan menurun. Kapasitansi oksida yang kecil membuat nilai SS semakin besar. Hal ini disebabkan ketika konduksi *gate* terhadap *substrate* (lapisan epitaksi) dengan lapisan oksida yang tebal membuat *delay* dalam pertukaran *holes* dan *electrons* saat kondisi inversi terjadi pada struktur. *Delay* inilah yang menyebabkan nilai SS struktur semakin meningkat. SS adalah indikator kecepatan *switching* suatu MOSFET dalam keadaan *on* ke *off* atau sebaliknya. Semakin kecil nilai SS suatu MOSFET maka kecepatan *switching* semakin tinggi. Idealnya nilai SS mendekati 60 mV/decade. Akan tetapi pada kenyataannya terjadi kenaikan nilai SS. Hal ini disebabkan munculnya fenomena SCE atau *Short Channel Effect*, dimana nilai SS akan mengecil pada ukuran lapisan oksida yang tipis. Untuk nilai tebal oksida yang sama, struktur JLT *in situ gate* memiliki nilai SS yang lebih rendah dibandingkan JLT *metal gate*. Hal ini menunjukkan kecepatan *switching* JLT *in situ gate* lebih tinggi dibandingkan struktur JLT *metal gate*. Hal ini disebabkan *workfunction metal* lebih rendah dari *workfunction polysilicon*. Jika metal menggunakan *workfunction* lebih tinggi daripada *polysilicon* menyebabkan kurang reaktif dan sulit untuk melakukan *etching* saat fabrikasi. Karena *polysilicon workfunction* tinggi atau high- κ daripada *metal* maka nilai SS *polysilicon* lebih rendah dibandingkan *metal*.

Tabel 2. merupakan data V_t (tegangan mabang) dan SS (*subthreshold slope*) dari struktur SOI-based. Konsentrasi *doping* kanal pada struktur SOI berhubungan langsung dengan nilai tebal silikon (t_{si}). Semakin besar konsentrasi *doping* kanal yang diberikan maka tebal silikon pada struktur semakin mengecil. Hal ini bertujuan agar struktur SOI tetap dalam kondisi terdepleksi penuh. Dalam tabel menunjukkan bahwa semakin tinggi konsentrasi *doping* kanal maka menyebabkan kenaikan nilai V_t dan penurunan pada nilai SS. Dengan konsentrasi *doping* yang tinggi membuat *holes* pada saluran kanal struktur

SOI semakin banyak sehingga mengalami kondisi inversi dengan tegangan ambang yang tinggi.

Dalam tabel terlihat terjadi penurunan nilai SS. Hal ini dikarenakan munculnya fenomena SCE atau *Short Channel Effect*, dimana nilai SS akan semakin mengecil pada ukuran panjang *gate* yang kecil. Dalam kasus ini, struktur SOI memiliki panjang *gate* sebesar 50 nm. Dengan t_{si} dan x_{dmax} yang semakin mengecil membuat nilai SS semakin kecil. Hal ini disebabkan karena daerah deplesi di bawah lapisan oksida semakin kecil membuat kondisi inversi cepat tercapai dan kecepatan *switching* struktur semakin cepat.

Gambar 16. merupakan grafik N_A vs V_t . Secara garis besar perubahan nilai V_t akibat perubahan konsentrasi *doping* kanal pada struktur jenis JLT sama, yaitu mengalami kenaikan nilai V_t ketika konsentrasi *doping* kanal mengalami kenaikan juga. JLT-based, JLT *in situ* *gate*, dan JLT *metal gate* pada L_g , t_{si} , dan t_{ox} memiliki hubungan berbanding lurus antara konsentrasi *doping* kanal dengan nilai tegangan ambang. Dengan konsentrasi *doping* yang tinggi membuat *holes* pada saluran kanal struktur JLT semakin banyak sehingga mengalami kondisi inversi dengan tegangan ambang yang tinggi. Selisih nilai V_t diantara ketiga jenis struktur JLT sangat kecil disetiap L_g , t_{si} , dan t_{ox} yang sama.

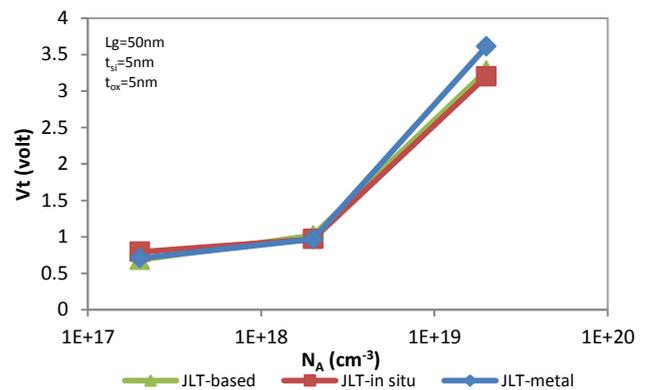
Gambar 17. merupakan grafik N_A vs SS. Nilai SS menunjukkan kecepatan *switching* MOSFET dalam kondisi *on* ke *off* maupun sebaliknya. Semakin kecil nilai SS maka semakin cepat kecepatan *switching* suatu MOSFET. Dalam hubungannya konsentrasi *doping* kanal, semakin tinggi nilai konsentrasi maka akan berbanding lurus dengan nilai SS. Dengan konsentrasi *doping* yang tinggi membuat *holes* pada saluran kanal struktur JLT semakin banyak sehingga mengalami kondisi inversi dengan SS yang tinggi. Sedangkan semakin tinggi nilai SS maka kecepatan *switching* MOSFET semakin berkurang. Idealnya nilai kecepatan *switching* MOSFET berkisar 60 mV/decade. Ketiga jenis struktur JLT mengalami kenaikan nilai SS ketika konsentrasi *doping* kanal bertambah. Semakin bertambahnya konsentrasi *doping* kanal membuat kecepatan *switching* MOSFET semakin berkurang.

Gambar 18. merupakan grafik t_{si} vs V_t . Secara garis besar gambar di atas menunjukkan bahwa perubahan lapisan silikon berbanding lurus dengan nilai V_t . Semakin bertambah tebal silikon maka nilai V_t pada struktur MOSFET akan bertambah juga. Struktur dengan lapisan silikon yang tebal mengakibatkan ketika struktur dalam kondisi inversi, konduksi *gate* terhadap *substrate* (lapisan epitaksi) mengalami *delay* yang lebih. Hal ini menyebabkan tegangan ambang yang dihasilkan semakin besar. Ketiga struktur JLT mengalami kenaikan nilai V_t ketika lapisan silikon pada strukturnya dinaikkan. Lapisan silikon berhubungan dengan kapasitansi suatu struktur.

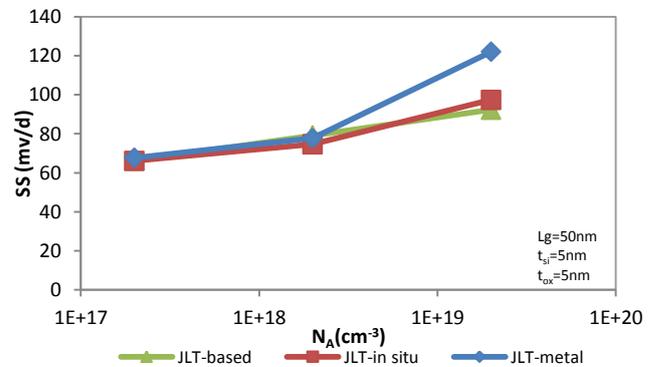
Semakin tebal lapisan silikon maka kapasitansi akan menurun. Seiring menurunnya kapasitansi maka nilai tegangan ambang akan meningkat juga.

Tabel 2. Data V_t dan SS struktur SOI-based (Deplesi Penuh)

x_{dmax} (nm)	t_{si} (nm)	N_A (cm ⁻³)	V_t (volt)	SS (mv/d)
201,80	76,5	$1,6 \times 10^{14}$	0,208	258
71,06	46,7	$1,6 \times 10^{15}$	0,285	170
24,55	22,9	$1,6 \times 10^{16}$	0,392	127
15,98	12,8	$3,98 \times 10^{16}$	0,328	83,6
4,37	3,2	$6,3 \times 10^{17}$	0,357	69,9

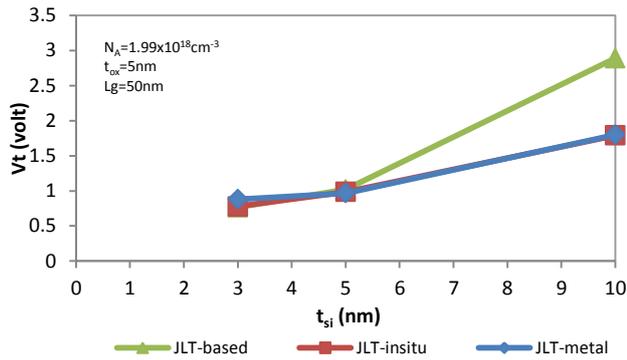


Gambar 16. Grafik N_A vs V_t dari JLT-based vs JLT-in situ *gate* vs JLT- metal *gate*

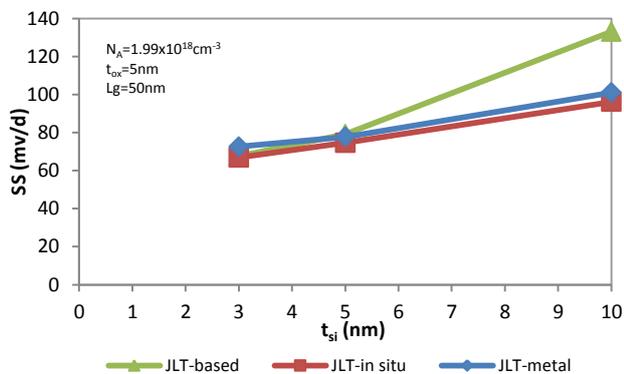


Gambar 17. Grafik N_A vs SS dari JLT-based vs JLT-in situ *gate* vs JLT- metal *gate*

Gambar 19. merupakan grafik t_{si} vs SS. Nilai SS adalah kecepatan *switching* MOSFET saat *on* maupun *off*. Semakin kecil nilai SS maka semakin mempercepat proses *switching*. Idealnya nilai SS mendekati 60 mV/decade. Penurunan tebal lapisan silikon membuat nilai SS semakin kecil dan kecepatan *switching* semakin bertambah. Tebal lapisan silikon mempengaruhi kapasitansi MOSFET. Semakin tebal maka kapasitansi akan semakin berkurang. Struktur dengan lapisan silikon yang tebal mengakibatkan ketika struktur dalam kondisi inversi, konduksi *gate* terhadap *substrate* (lapisan epitaksi) mengalami *delay* yang lebih. Sehingga SS yang dihasilkan semakin besar.



Gambar 18. Grafik t_{si} vs V_t dari JLT-based vs JLT-in situ gate vs JLT-metal gate



Gambar 19. Grafik t_{si} vs SS dari JLT-based vs JLT-in situ gate vs JLT-metal gate

4. Kesimpulan

Telah berhasil dirancang struktur MOSFET jenis SOI-based, JLT-based, JLT-in situ gate, dan JLT-metal gate menggunakan perangkat lunak Silvaco TCAD 2007 dengan panjang gerbang 50nm, 100nm, dan 200nm. Struktur SOI memiliki trend dimana nilai tegangan ambang berbanding lurus dengan kenaikan panjang gerbang. Sedangkan pada struktur JLT memiliki trend dimana kenaikan tegangan ambang berbanding terbalik dengan nilai panjang gerbang. Semua jenis struktur pada perancangan terjadi penurunan nilai SS ketika panjang gerbang semakin tinggi. Hal ini disebabkan karena muncul SCE, yaitu efek dimana ketika panjang gerbang mengecil maka terjadi kenaikan nilai SS.

Lapisan oksida (t_{ox}) yang bertambah tebal membuat kapasitansi MOSFET bertambah. Hal ini menyebabkan nilai V_t dan SS akan semakin meningkat juga. Konsentrasi *doping* kanal yang semakin tinggi membuat nilai V_t dan SS juga mengalami peningkatan. Lapisan silikon (t_{si}) yang bertambah tebal membuat kapasitansi MOSFET bertambah. Hal ini menyebabkan nilai V_t dan SS akan semakin meningkat juga. Struktur JLT-based memiliki kecepatan *switching* yang lebih cepat dibandingkan struktur SOI-based karena nilai SS JLT-based lebih rendah dibandingkan SOI-based. Struktur JLT-based juga memiliki tegangan ambang yang lebih besar dibanding dengan struktur SOI-based karena konsentrasi *doping* kanal JLT-based lebih tinggi dibandingkan struktur SOI-based.

Referensi

- [1]. Sapna and B. Mehandia, "Study of Electrical Characteristics of SOI MOSFET Using Silvaco TCAD Simulator," *Curr. Trends Technol. Sci.*, vol. 1, no. 1, pp. 15–18, 2012.
- [2]. A. Kumar, N. Kar, A. K. Jaiswal, and A. Kar, "Characterization of SOI PMOSFET using Silvaco TCAD Tools," *Int. J. Appl. or Innov. Eng. Manag.*, vol. 2, no. 6, pp. 540–546, 2013.
- [3]. G. K. Jaiswal, A. Kumar, A. K. Jaiswal, R. Paulus, and M. Kumar, "Electrical characteristics and performance comparison between partially- depleted SOI and n-MOS Devices using Silvaco T-CAD Simulator," *Int. J. Curr. Eng. Technol.*, vol. 4, no. 2, pp. 1058–1063, 2014.
- [4]. A. K. Gupta, A. Kumar, and A. K. Jaiswal, "To Study and Characterisation of N N + N Nanowire Transistor (Junctionless) using 2D ATLAS Simulator," *Int. J. Curr. Eng. Technol.*, vol. 4, no. 3, pp. 2203–2206, 2014.
- [5]. G. Sjöblom, "Metal Gate Technology for Advanced CMOS Devices," Uppsala Universitet, 2006.